

INSTYTUT ŁĄCZNOŚCI
WARSZAWA · MIEDZESZYN

BIULETYN

INFORMACYJNY

3-4(234-235)

1986

MINISTERSTWO ŁĄCZNOŚCI

BIULETYN INFORMACYJNY

ROK 26

WARSZAWA 1986

NR 3-4/234-235/

INSTYTUT ŁĄCZNOŚCI

Branżowy Ośrodek

Informacji Naukowej, Technicznej i Ekonomicznej

Redakcja Biuletynu Informacyjnego

Redaktor Naczelny - doc. dr inż. Krystyn Plewko
Z-ca Redaktora Naczelnego - dr inż. Stanisław Sołta

Redaktorzy działów:

dr inż. Alina Karwowska-Lamparska,
mgr inż. Mirosław Żurawski

Adres Redakcji:

Instytut Łączności:

Branżowy Ośrodek

Informacji Naukowej, Technicznej i Ekonomicznej

Warszawa - Miedzeszyn, ul. Szachowa 1

ISSN 0209-1046

Redaktor: mgr K. Juszkiewicz

Montaż tekstu: E. Czerwińska

Dział Wydawniczy Instytutu Łączności
Format B5. Nakład 625. Wpłynęło do
Działu Wydawniczego 1986.07.29.
Druk ukończono we wrześniu 1986 r.

III

Paweł Godlewski

Leszek Kamionka

WYBRANE MIKROPROCESORY I MIKROKOMPUTERY DO ZASTOSOWAŃ W TELEKOMUNIKACJI

SPIS TREŚCI

	Str.
1. Wprowadzenie	1
2. Wybrane układy mikroprocesorów	5
2.1. Jednoukładowy mikrokomputer 8048/8035, 8748/	9
2.1.1. Wyprowadzenia mikrokomputera	10
2.1.2. Blok przetwarzania	12
2.1.3. Zegar-licznik zdarzeń	12
2.1.4. Pamięć programu	13
2.1.5. Pamięć danych	15
2.1.6. Licznik rozkazów i stos	16
2.1.7. Słowo stanu programu	16
2.1.8. Przerwania	17
2.1.9. Taktowanie	17
2.1.10. Porty i linie wejścia-wyjścia	19
2.1.11. Zewnętrzna pamięć programu	20
2.1.12. Zewnętrzna pamięć danych	21
2.1.13. Zewnętrzne układy wejścia-wyjścia	21
2.1.14. Zerowanie "RESET" i praca krokowa	23
2.1.15. Instrukcje mikrokomputera	23
2.2. Mikroprocesor Z80	27
2.2.1. Wyprowadzenia układu	27
2.2.2. Rejestry CPU	30
2.2.3. Zestaw minimalny systemu	33
2.2.4. Organizacja pamięci i układów wejścia-wyjścia	34
2.2.5. Operacje na szynach	35
2.2.6. Przerwania	37

	Str.
2.2.7. Programowane układy wejścia-wyjścia	43
2.2.8. Instrukcje mikroprocesora Z80 CPU	43
2.3. Mikroprocesor 8086/8088	52
2.3.1. Wyprowadzenia układów	52
2.3.2. Rejestry CPU	58
2.3.3. Organizacja pamięci	59
2.3.4. Operacje na szynach	61
2.3.5. Przerwania i zatrzymanie pracy	63
2.3.6. Rozszerzanie możliwości arytmetycznych systemu	64
2.3.7. Instrukcje mikroprocesora	65
3. Mikrokomputery personalne	66
3.1. Mikrokomputery domowe "ZX"	68
3.1.1. Mikrokomputer "ZX 81"	69
3.1.2. Mikrokomputer "ZX SPECTRUM"	70
3.2. Mikrokomputer "ELWRO 700" /SOLUM/	71
3.3. Mikrokomputer domowy "Commodore C-128"	72
3.4. Mikrokomputery firmy Amstrad	73
3.4.1. Mikrokomputer domowy "CPC6128"	73
3.4.2. Mikrokomputer do zastosowań profesjonalnych "PCW8256"	74
3.5. Mikrokomputery do zastosowań profesjonalnych rodziny "IBM PC"	75
3.5.1. "IBM PC" - IBM Personal Computer	76
3.5.2. "IBM PC XT" - IBM Personal Computer eXTended	78
3.5.3. "IBM PCjr" - IBM Personal Computer junior	79
3.5.4. "IBM Portable Personal Computer"	79
3.5.5. IBM Personal Computer XT/370	80
3.5.6. "IBM 3270" Personal Computer	82
3.5.7. "IBM PC AT" - IBM Personal Computer Advanced Technology	83
4. Oprogramowanie systemów mikroprocesorowych	86
5. Zakończenie	90
Wykaz literatury	90

WYBRANE MIKROPROCESORY I MIKROKOMPUTERY
DO ZASTOSOWAŃ W TELEKOMUNIKACJI

1. WPROWADZENIE

Za sprawą postępu naukowo-technicznego w dziedzinie mikroelektroniki, dokonuje się kolejna rewolucja techniczna. Jej zakres oraz tempo zmian przerastają wszystkie dotychczasowe przemiany naszej cywilizacji. Informatyka, elementy techniki mikroprocesorowej, a zwłaszcza nowoczesny sprzęt komputerowy, coraz szybciej wkraczają w kolejne dziedziny nauki, gospodarki i praktyki zawodowej.

Przeobrażenia, których jesteśmy świadkami, zapoczątkował tranzystor - zrodzony w rezultacie poszukiwań monolitycznego elementu przełączającego dla potrzeb komutacyjnych w telekomunikacji. Choć zaraz po wynalezieniu nie znalazł tam bezpośredniego zastosowania, to obecnie jako element układów scalonych odgrywa zasadniczą rolę w rozwoju środków łączności.

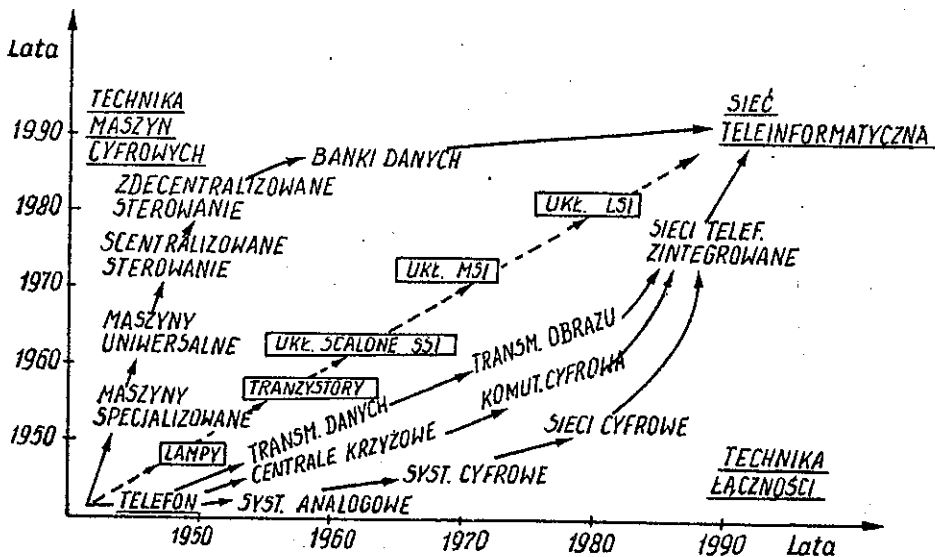
W roku 1971 został wyprodukowany pierwszy użyteczny 4-bitowy mikroprocesor. Najprostszy system mikroprocesorowy z jego wykorzystaniem wymagał jednak ponad 100 elementów scalonych, co - ze względu na cenę - nie wróżyło zapotrzebowania większego niż 10 tys. sztuk takich układów rocznie. Wbrew przewidywaniom, popyt na mikroprocesory rósł gwałtownie i dziś obok mikroprocesorów oraz jednoukładowych mikrokomputerów 8-bitowych za cenę około 2 dolarów, dostępne są niewiele droższe układy przetwarzające dane 16- i 32-bitowe.

Wprowadzenie do telekomunikacji układów mikroelektronicznych wielkiej skali integracji, do jakich zaliczane są mikroprocesory, nie jest prostą zamianą starej bazy elementów na nową. Pociąga ona zasadnicze zmiany w budowie i metodach projektowania urządzeń oraz systemów łączności, wymusza

przejście na techniki transmisji cyfrowej i cyfrową obróbkę informacji, narzuca konstrukcję urządzeń ze sterowaniem zdecentralizowanym.

Zastosowanie mikroprocesorów w wytwarzanej masowo aparaturze to nie tylko podwyższenie jej niezawodności i obniżenie ceny, ale również zmniejszenie masy, wymiarów, zapotrzebowania na energię - co ma niebagatelne znaczenie dla urządzeń teletransmisyjnych, wykorzystywanych z reguły na podstacjach ze zdalnym zasilaniem. Zastosowanie technologii mikroprocesorowej to także głęboka unifikacja oraz automatyzacja procesów i oprzyrządowania produkcji, wykorzystanie najnowszych osiągnięć fizyki i cybernetyki.

Logicznym rezultatem mikroprocesoryzacji, przy wykorzystaniu cyfrowych metod obróbki i transmisji sygnałów, jest związek techniki łączności i technik obliczeniowych maszyn cyfrowych, z uwzględnieniem bazy elementów wielkiej skali integracji /rys. 1/.



Rys. 1. Związek techniki łączności i technik obliczeniowych z wykorzystaniem bazy elementowej

Dotychczasowe osiągnięcia pozwalają na prognozowanie, iż w niedalekiej przyszłości istnieć będzie zintegrowana sieć łączności i sieć komputerowa - jako jedna sieć teleinformatyczna - o swobodnym dostępie do elektronicznych bibliotek z mikroprocesorowych, inteligentnych terminali abonentów.

W telekomutacji mikroprocesory i tanie mikrokomputery umożliwiają zastępowanie systemami mikroprocesorowymi elementów sterujących, wykonywanych dotąd techniką przekaźnikową - w rejestrach, przelicznikach, taryfikatorach i translacjach - z zachowaniem tradycyjnych elementów łączeniowych /wybieraków i przekaźników/, a w systemach w pełni elektronicznych przejście z koncepcji sterowania centralnego, rozwijanego na początku ery elektronicznej central /jedna maszyna cyfrowa z programem długości 0,5 mln rozkazów/, na sterowanie zdecentralizowane^{x/} /rozproszone/ - o większej niezawodności i elastyczności programowej.

W radiokomunikacji mikroprocesory są wykorzystywane w radiostacjach do realizacji procedur automatycznego nawiązywania łączności /np. identyfikacji abonentów ruchomych i wyboru kanałów/, strojenia odbiorników i nadajników wraz z wyborem częstotliwości roboczych, do komutacji i kierowania anten, w odbiornikach przywoławczych i radiowych wysokiej klasy.

W technice televizji mikroprocesory znajdują zastosowanie głównie w urządzeniach pomiarowych, automatach kamer i systemach wideo tekstu.

x/ Koncepcja w pełni zdecentralizowanego sterowania centrali została urzeczywistniona w produkowanym od 1983 roku systemie "ITT 1240". Mikroprocesory /wszystkie typu Intel 8086/ pełniące funkcje komutacyjne, rejestrowe, taryfikacyjne i przelicznikowe - znajdują się w stopniach abonentów i międzycentralowych, a komunikacja pomiędzy nimi odbywa się przez pole komutacyjne centrali tymi samymi drogami co sygnałów mowy. Z mikroprocesorami współpracują typowe pamięci /RAM - 4164/ i specjalizowane "elementy komutacyjne" wielkiej skali integracji.

W teletransmisji mikroprocesory są stosowane przede wszystkim w urządzeniach pomiarowych /z obróbką cyfrową sygnałów analogowych/ oraz w systemach nadzoru urządzeń teletransmisyjnych, a mikrokomputery w systemach utrzymania i oceny jakości sieci teletransmisyjnej.

W teledacji /transmisji danych/ mikroprocesory znajdują zastosowanie w urządzeniach końcowych i wewnętrznsieciowych: w terminalach zdalnego zbierania i przetwarzania danych, w aparatach teleteksowych, w urządzeniach transmisyjnych /w tym w modemach/ i w urządzeniach zakończenia łączy, w urządzeniach komutacyjnych, w koncentratorach i w multipleksach, w sterownikach lokalnych sieci komputerowych i w procesorach międzysieciowych, w urządzeniach składania i rozkładania pakietów. Wykorzystywane są głównie do sterowania procedurami wymiany danych i sterowania sygnalizacją sieciową, do cyfrowego kodowania sygnałów liniowych i ich przetwarzania /zwielokrotniania, opóźniania, itp./, do zdalnej diagnostyki urządzeń i łączy oraz pomiarów jakości transmisji.

W telegrafii i symlografii technika mikroprocesorowa wkracza do urządzeń komutacyjnych i systemów teletransmisyjnych /cyfrowych krotnie telegraficznych/, a także do urządzeń końcowych, w tym do dalekopisów elektronicznych i aparatów symlograficznych.

Mikroprocesory znajdują też zastosowanie w urządzeniach abonenckich oraz w sterownikach siłowni central i stacji teletransmisyjnych.

Mikrokomputery uniwersalne, mikroprocesorowe sterowniki, testery i systemy uruchomieniowe oraz szerzej stosowane są na etapie opracowywania, uruchamiania i kontroli produkowanego sprzętu.

Niniejszy artykuł, przedstawiający powszechnie dostępne i najszerszej wykorzystywane mikroprocesory oraz mikrokomputery, ma na celu ułatwienie ich wyboru do zastosowań w telekomunikacji.

2. WYBRANE UKŁADY MIKROPROCESORÓW

Mikroprocesor jest układem elektronicznym, wykonanym w postaci pojedynczego elementu półprzewodnikowego o wielkiej skali integracji, przeznaczonym do przetwarzania informacji w sposób określony przez użytkownika. Przetwarzanie informacji polega na przekształcaniu danych wejściowych w wynik końcowy na podstawie programu.

Program określający sposób przetwarzania danych, to ciąg rozkazów /instrukcji/kolejno pobieranych przez mikroprocesor w celu ich realizacji. Zbiór rozkazów, jakie może wykonać dany mikroprocesor /procesor/, obejmuje od kilkudziesięciu do kilkuset pozycji i nosi nazwę listy rozkazów lub listy instrukcji.

Zasadniczymi zespołami mikroprocesora /CPU - Central Processing Unit/ są: rejestry uniwersalne, jednostka arytmetyczno-logiczna ALU /Arithmetic Logic Unit/ i układ sterujący. Rejestry są używane do przechowywania danych, wyników operacji i informacji o stanach wewnętrznych mikroprocesora. Przekształcanie danych zawartych w rejestrach lub komórkach pamięci zewnętrznej jest realizowane przez ALU.

Mikroprocesor działa cyklicznie. W kolejnych cyklach rozkazowych są pobierane z komórek pamięci kolejne rozkazy. Układ sterujący rozpoznaje typ i długość rozkazu, ustala rodzaj operacji, steruje pobieraniem odpowiednich danych i wykonywaniem operacji przez ALU.

Programy i dane są przechowywane w pamięci systemu. Mikroprocesor pobiera kody operacji z obszaru pamięci rozkazów /pamięci programu/, natomiast dane pobiera lub przesyła do układów wejść-wyjść, obszaru pamięci danych lub stosu. Obszar pamięci, z którego informacje mogą być wyłącznie czytane, nosi nazwę pamięci stałej ROM /Read Only Memory/, a taki, w którym dane mogą być zarówno zapisywane, jak i odczytywane - pamięci RAM /Random Access Memory/.

Zawartość pamięci stałej może być zapisywana przez producenta lub użytkownika. Pamięć programowana fabrycznie no-

si nazwę ROM, umożliwiającą jednorazowe programowanie - PROM, a przeznaczoną do wielokrotnego programowania i kasowania ultrafioletem - EPROM. Pamięć RAM może być typu statycznego, gdy wymaga jedynie napięcia zasilania, lub dynamiczna - jeśli dla utrzymania zawartości wymaga cyklicznie powtarzanych sygnałów odświeżania.

Słowa przechowywane w pamięci, są transmitowane w postaci binarnej /zer i jedynek logicznych/ jako ośmiobitowe grupy nazywane bajtami. Zawartość poszczególnych bajtów może być przedstawiana w postaci zero-jedynkowej, dwu cyfr kodu szesnastkowego /heksadecymalnego/ z zakresu 0,1,...,9,A,B,C,D,E,F lub - dla rozkazów - w postaci nazw mnemonicznych. W ostatnim przypadku, przed wykonaniem, program musi zostać przetłumaczony na postać zero-jedynkową za pomocą programu tłumaczącego, nazywanego tłumaczem języka lub assemblerem.

Mikroprocesor - wraz z pamięcią, generatorem taktów, dekodernami i układami specjalizowanymi - tworzy system mikroprocesorowy. Jeżeli system mikroprocesorowy jest wykonany w postaci jednego elementu półprzewodnikowego, to nosi nazwę mikrokomputera jednoukładowego.

Dane wejściowe, podlegające przetwarzaniu, są pobierane do systemu mikroprocesorowego za pośrednictwem układów portów wejściowych, a wyniki końcowe są przekazywane z systemu za pośrednictwem układów portów wyjściowych, poprzez realizację instrukcji wejścia-wyjścia.

Współpraca mikroprocesora /mikrokomputera jednoukładowego/ z pozostałymi elementami systemu odbywa się za pomocą linii adresowych, linii danych i linii sterujących. Na liniach adresowych jest przekazywany adres żądanej lokacji /komórki/ pamięci danych programu lub rejestru portu. Na liniach danych są przekazywane dane /zawartość adresowej komórki pamięci lub portu transmitowane do- lub z- CPU, a linie sterujące określają rodzaj i kierunek transmisji oraz informują procesor o sytuacjach zewnętrznych /przerwania/ i sygnalizują stany procesora.

W wielkiej liczbie produkowanych na świecie typów mikroprocesorów i elementów mikroprocesorowych trwałą pozycję

zdobyły i wg stanu na 1986 r. zdecydowanie dominują układy przedstawione w tabeli 1. Odpowiedniki wielu z nich produkowane są w krajach RWPG.

Tabela 1

Podstawowe elementy systemów mikroprocesorowych

Typ układu	Charakterystyka układu	Cena USD
1	2	3
8035 / 8039	Kompletny mikrokomputer 8-bitowy o 27 liniach wejścia-wyjścia, pamięci RAM 64 / 128 bajtów i bez wewnętrznej pamięci ROM programu.	1,9
8748	Mikrokomputer analogiczny jak 8035, lecz z wewnętrzną pamięcią programu typu EPROM, 1 KB.	6,5
Z80A-CPU	Mikroprocesor 8-bitowy, taktowany sygnałem 4 MHz z mechanizmem odświeżania pamięci dynamicznych.	1,7
8086	Mikroprocesor 16-bitowy, z adresacją pamięci do 1 MB, z transmisją 16-bitowych słów.	7,5
8087	Koprocesor arytmetyczny /wszystkie operacje arytmetyczne na 80-bitowych danych/ dla 8086/8.	100
8088	Mikroprocesor analogiczny jak 8086, lecz z transmisją 8-bitowych słów.	7,5
8205	Szybki dekodery adresu "1 z 8".	3,0
8237 /ew.8257/	Kontroler DMA /bezpośredniego dostępu/.	7,0
8251	Programowany port wejścia-wyj. transmisji szeregowej	3,0
8253	Programowany zegar-licznik zdarzeń.	4,0
8255	Programowany port o 24 liniach wejścia/wyjścia	4,0
8259	Kontroler systemu przerwań.	6,0
8272 /ew.TMS2797/	Kontroler dysków elastycznych	12

1	2	3
8275	*/ew.NC6845/ Kontroler monitora tekstowego /CRTC/.	10
8282	*/ew.74LS373/ Rejestr LATCH-wzmacniacz 8-bitowych szyn.	3,0
8283	Rejestr LATCH-inwerter 8-bitowych szyn.	3,0
8284	Generator dla układów 8086/8088.	3,0
8286	*/ew.74LS245/ Dwukierunkowy wzmacniacz 8-bitowych szyn.	3,0
8287	Dwukierunkowy inwerter 8-bitowych szyn.	3,0
8288	Kontroler dla złożonego systemu z 8086/8088.	12
8289	Arbiter szyn procesora 8086/8088.	20
Z80A-PIO	Programowany port o 16 wejściach-wyjściach.	3,0
Z80A-SIO	Programowany port transmisji szeregowej.	10
Z80A-CTC	Programowany zegar-licznik zdarzeń.	3,0
2102	Pamięć RAM o organizacji 1024 x 1 bit.	0,8
HM6116	Pamięć CMOS RAM o organizacji 2048 x 8 bitów.	1,8
HM6264	Pamięć CMOS RAM o organizacji 8192 x 8 bitów.	4,5
HM8832	Pamięć CMOS RAM o organizacji 32768 x 8 bitów.	15
4116	Pamięć dynamiczna RAM o pojemności 16 K x 1 bit.	0,8
4164	Pamięć dynamiczna RAM o pojemności 64 K x 1 bit.	0,8
4464	Pamięć dynamiczna RAM o pojemności 64 K x 8 bity.	2,5
41256	Pamięć dynamiczna RAM o pojemności 256 K x 1 bit.	2,5
2716	Pamięć EPROM 2 K x 8 bitów.	3,5

od. tablicy 1

1	2	3
2732	Pamięć EPROM 4 K x 8 bitów.	3,5
2764	Pamięć EPROM 8 K x 8 bitów.	3,0
27256	Pamięć EPROM 32 K x 8 bitów.	5,0

UWAGI: 1/ układy oznaczone /np. 8255/ mają odpowiedniki produkowane w krajach RWPG; 2/ zasilanie układów +5 V \pm 5%.

W dalszej części artykułu zostaną opisane mikroprocesory 8048, Z80-CPU i 8086.

Mikroprocesory INTEL 8048, ZILOG Z80-CPU i INTEL 8086/8088, pomimo różnego przeznaczenia i odmiennych kodów realizowanych instrukcji, posiadają wiele cech wspólnych - wywodząc swą architekturę od 8-bitowego mikroprocesora INTEL 8080A. Analogiczna struktura programów w języku wewnętrznym oraz identyczna grupa podstawowych rozkazów, ułatwiają pisanie programów wykorzystujących mikroprocesor najwygodniejszy do realizacji założonych funkcji. Bogaty zestaw specjalizowanych układów, opracowanych w firmie INTEL, może współpracować z każdym z tych mikroprocesorów.

W kraju jest produkowany w niewielkich ilościach mikroprocesor MCY7880, będący odpowiednikiem układu INTEL 8080A. Układ ten jest obszernie opisany w literaturze polskiej i dlatego w artykule tym został pominięty.

2.1. Jednoukładowy mikrokomputer 8048/8035, 8748/

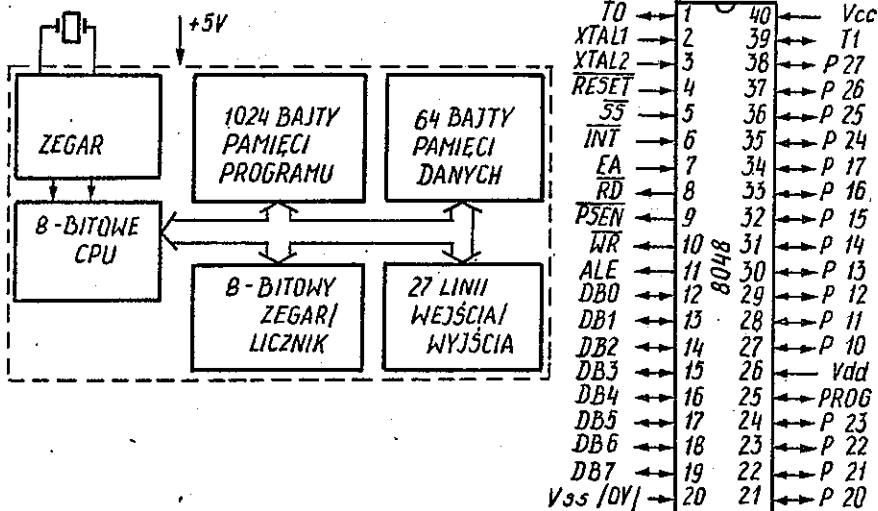
Układ 8035/8048/8748 jest 8-bitowym mikrokomputerem^{x/}zawartym w 40-końcówkowej obudowie. Zasilany jest napięciem

x/ Wersją mikrokomputera 8035, o rozszerzonej do 128 bajtów pamięci RAM i częstotliwości taktowania 11 MHz jest układ 8039. W ZSRR układ 8035 jest produkowany pod nazwą KM1816BE35, 8039 pod nazwą KM1816BE39, a 8048 jako KM1816BE48.

+5 V/90 mA, z wyprowadzonym zasilaniem pamięci RAM /8 mA/. Zawiera 8-bitowe CPU, zegar/licznik zdarzeń, generator taktów z zewnętrznym elementem rezonansowym, 27 linii wejścia-wyjścia, pamięć RAM 64 x 8 bitów; układ 8048 zawiera pamięć ROM, a 8748 pamięć EPROM 1 K x 8 bitów. Układ zapewnia jednopoziomowy system obsługi przerwań.

2.1.1. Wyprowadzenia mikrokomputera

Schemat blokowy oraz wyprowadzenia mikrokomputera przedstawiono na rys. 2. Wyprowadzenia układu realizują funkcje opisane poniżej.



Rys. 2. Schemat blokowy i wyprowadzenia mikrokomputera

DB0 ... DB7: /BUS/, dwukierunkowy, 8-bitowy port, którego zawartość może być odczytywana lub zapisywana pod kontrolą sygnałów \overline{RD} i \overline{WR} . Przy współpracy z zewnętrzną pamięcią programu port zawiera 8 młodszych bitów licznika rozkazów /strobowanych sygnałem ALE/, a następnie jest do niego wpisywany rozkaz z pamięci zewnętrznej /w obecności sygnału

$\overline{\text{PSEN}}$ /. Za pomocą portu są przesyłane również adresy i dane podczas współpracy z zewnętrznymi pamięciami danych RAM.

P10 ... P17: /Port P1/, 8-bitowy port quasi-dwukierunkowy.

P24 ... P27: /Port P2/, starsze bity quasi-dwukierunkowego, 8-bitowego portu wejścia-wyjścia.

P20 ... P23: /Port P2/, młodsze bity 8-bitowego portu wejścia-wyjścia, na które są podawane 4 najstarsze bity licznika rozkazów przy współpracy z zewnętrzną pamięcią programu lub bity informacji i sterujące przy współpracy z ekspanderem 8243.

TO: Wejście, którego stan jest testowany podczas wykonywania rozkazów skoków warunkowych JTO i JNTO. Po wykonaniu rozkazu ENTO CLK na wyjściu TO pojawi się impulsowanie o częstotliwości 3 razy niższej niż częstotliwość generatora i wypełnieniu 1/3. TO wykorzystuje się przy programowaniu pamięci EPROM układu 8748.

T1: Wejście, którego stan jest testowany podczas wykonywania rozkazów skoków warunkowych JT1 i JNT1. Po wykonaniu rozkazu START CNT zegar /licznik zlicza impulsy na wejściu T1.

$\overline{\text{INT}}$: Wejście sygnału przerwania, może być testowane rozkazem skoku warunkowego JNI.

RESET: Wejście zerowania procesora. Przy sprawdzaniu wewnętrznej pamięci programu, zmiana stanu z "0" na "1" /nie standardowa dla TTL wartość "1"/ powoduje wozytanie adresu lokacji i wystawienie danej na liniach portu BUS.

PROG: Wyjście strobuujące dla ekspandera 8243 lub impulsy +25 V przy programowaniu wersji 8748.

ALE: Na wyjściu pojawia się sygnał na początku każdego cyklu rozkazowego, strobująco podawanie adresu do zewnętrznych pamięci danych i programu przez port BUS.

$\overline{\text{RD}}$: Na wyjściu pojawia się sygnał aktywny podczas czytania danej z portu BUS.

$\overline{\text{WR}}$: Na wyjściu pojawia się sygnał aktywny podczas wpisywania danej do pamięci z portu BUS.

EA: Sygnał na wejściu powoduje wymuszenie pobrania rozkazu z pamięci zewnętrznej /jak 8035/.

PSEN: Sygnał wyjściowy, towarzyszący pobieraniu rozkazu z zewnętrznej pamięci programu.

SS: Wejście pracy krokowej, łącznie z ALE egzekwuje wykonanie przez układ pojedynczej instrukcji.

XTAL1, XTAL2: Wejścia oscylatora /kwaro, indukcyjność lub generator zewnętrzny/, $F_{TAKT} = 6 \text{ MHz}$.

Vss: 0 V napięcia zasilania, **Vcc:** +5 V napięcia zasilania procesora, **Vdd:** +5 V zasilania RAM.

2.1.2. Blok przetwarzania

Blok przetwarzania /CPU/ mikrokomputera realizuje podstawowe funkcje i operacje na 8-bitowych danych. Jego układ arytmetyczno-logiczny umożliwia: arytmetyczne dodawanie z uwzględnieniem i bez-bitu przeniesienia; logiczne mnożenie, dodawanie i różnicę symetryczną; dodawanie i odejmowanie jedności; logiczne negowanie; przesuwanie cykliczne w lewo i w prawo; zamianę starszych i młodszych ośwórek bitów akumulatora; regulowanie dziesiętne liczb.

Wartość przeniesienia z pozycji najbardziej znaczącego bitu jest notowana w postaci bitu przeniesienia /C/ słowa stanu programu PSW. Głównym rejestrem jest AKUMULATOR, w którym umieszczane są dane wejściowe i wynik operacji. Uczestniczy w operacjach wejścia-wyjścia.

2.1.3. Zegar-licznik zdarzeń

Zegar-licznik może działać jako miernik czasu lub licznik zdarzeń. Podstawową częścią układu jest licznik, którego zawartość można odczytać lub zapisać za pomocą rozkazów MOV, a którego zawartości nie zmienia sygnał RESET. Zliczanie rozpoczyna się po rozkazie START T lub START CNT. Licznik zlicza bez przerwy modulo 256, dopóki nie zostanie zatrzymany rozkazem STOP TCNT lub sygnałem RESET. Zmiana 8-bit-

towej zawartości licznika z maksymalnej /FF/ na zerową /00/ powoduje wygenerowanie przerwania i ustawienie wskaźnika przepełnienia licznika.

Wskaźnik przepełnienia można testować rozkazem skoku warunkowego JTF. Przerwanie jest blokowane rozkazem DIS TCNTI, a odblokowywane rozkazem EN TCNTI.

W przypadku pracy jako licznik /START CNT/ układ zlicza każdą kolejną zmianę poziomu z wysokiego na niski na wejściu T1 /sygnał ten nie może trwać krócej niż 100 ns/. Rozkaz START T powoduje przełączenie na pracę w systemie miernika czasu. Układ zlicza odcinki czasu, będące wielokrotnością podstawowego cyklu maszyny, podzielone przez 32. Przy cyklu 2,5 μ s, licznik zwiększany jest o 1 co 80 μ s do maksymalnej wartości 20 ms.

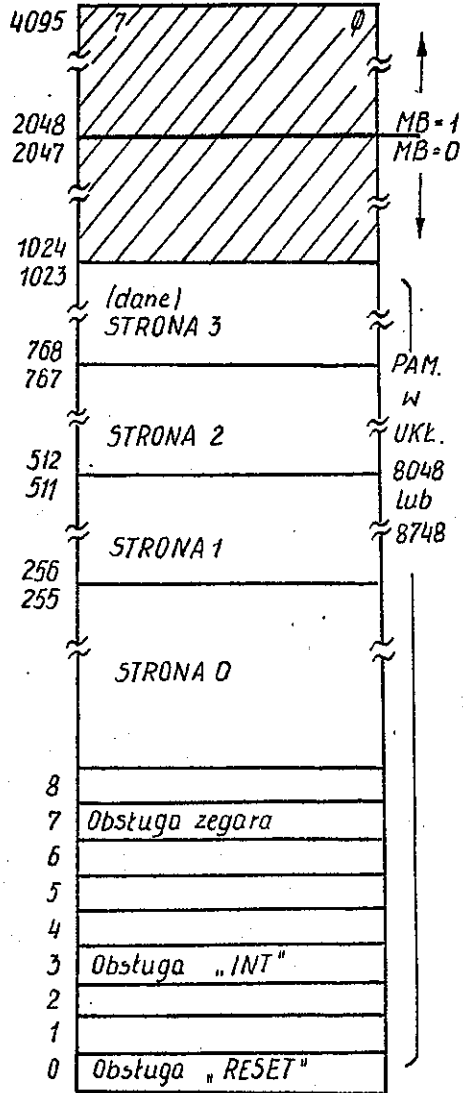
2.1.4. Pamięć programu

Pamięć programu /ROM lub EPROM/ o strukturze pokazanej na rys. 3, w obrębie układu 8048/8748 ma pojemność 1024 bajty i jest adresowalna za pomocą licznika rozkazów PC. Podzielona jest funkcjonalnie na 256-bajtowe "strony", a wybrane lokacje mają następująco zdefiniowane przeznaczenie: adres 0: start programu po wyzerowaniu układu sygnałem RESET, adres 3: start programu obsługi przerw zewnątrznych INT, adres 7: start programu obsługi przerw po przepełnieniu licznika-zegara.

W pamięci programu mogą być przechowywane dane, dostępne przez rozkazy MOVF /z bieżącej strony programu/ lub MOVF3 /ze strony "3"/.

Pamięć programu można rozbudowywać do pojemności 4 Kbajtów, wykorzystując specjalizowane układy lub standardowe pamięci EPROM. Stan "0" na wejściu PSEN wyłącza pamięć wewnętrzną, a jej funkcje przenoszone są na pamięć zewnętrzną /dla 8035 istnieje wyłącznie taki stan/.

Do współpracy z zewnętrznymi pamięciami programu wykorzystywany jest port BUS i linie P20 ... P23. Synchroniza-

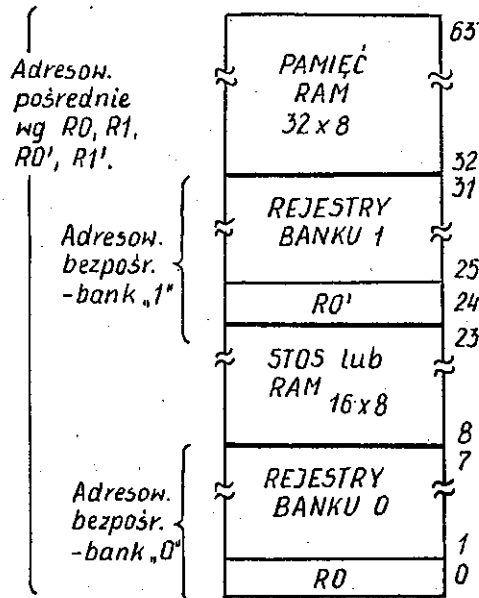


Rys. 3. Pamięć programu

oję współpracy zapewniają sygnały ALE i PSEN. Pełną pamięć programu /4096 bajtów/ tworzą dwa "banki" po 2 K, wybierane bitem A11 /MB/ licznika rozkazów PC.

2.1.5. Pamięć danych

Pamięć danych /RAM/ w strukturze mikrokomputera /rys. 4/ ma pojemność 64 bajtów, adresowanych za pośrednictwem jednego z dwóch rejestrów roboczych R0 lub R1, umieszczonych w zerowym lub pierwszym "banku" rejestrów. Osiem rejestrów /R0 ... R7/ wybranego "banku" można adresować bezpośrednio. Rozkaz przełączenia SEL RBx umożliwia adresowanie komórek 0 ... 7 "banku" 0 lub 24 ... 31 "banku" 1 w sposób bezpośredni, zapewniając szybką reakcję na przerwania bez konieczności przepisywania zawartości rejestrów programu głównego - gdy korzysta z nich program obsługi przerwania. Rejestry R0 ... R7 mogą być również traktowane jak komórki pamięci RAM.



Rys. 4. Pamięć danych

Miejsca pamięci RAM o adresach 8 ... 23 spełniają rolę ośmiopozomowego stosu, na którym pamiętane są: zawartość

licznika rozkazów PC i słowo stanu PSW - po przyjęciu przerwania lub skoku do podprogramu.

Gdy wewnętrzna pamięć RAM jest niewystarczająca, istnieje możliwość dołączenia zewnętrznej pamięci RAM o pojemności 256 bajtów. Adres, a później dane, przesyła 8-bitowy port BUS, strobowany liniami ALE, RD, WR - dla instrukcji MOVX A, R i MOVX R, A.

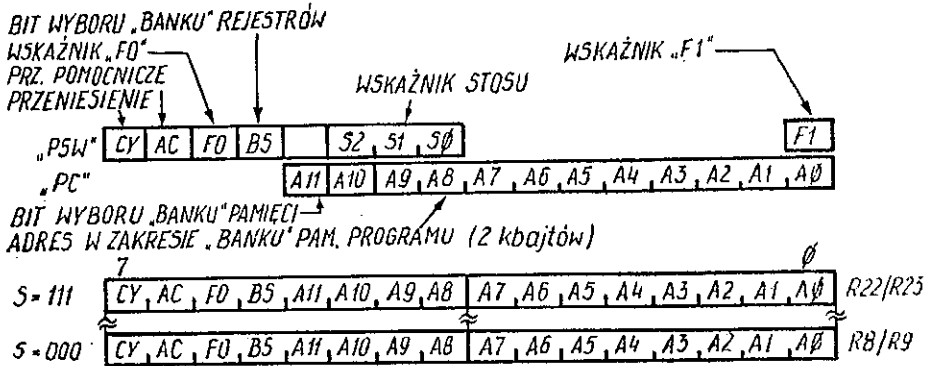
2.1.6. Licznik rozkazów i stos

Licznik rozkazów /PC/ mikrokomputera ma 12 bitów i umożliwia adresowanie pamięci programu o pojemności 4 Kbajtów - podzielonej na dwa "banki" wyznaczone bitem A11. Zerowany jest sygnałem na wejściu RESET. Każde wystąpienie przerwania lub wywołanie podprogramu powoduje zapisane zawartości licznika rozkazów PC w parze rejestrów, wyznaczonych przez 3-bitowy wskaźnik stosu słowa PSW.

Stos jest ośmiopoziomowy, tzn. umożliwia ośmiokrotne zapamiętanie wartości licznika rozkazów PC i części słowa PSW. Zmiana wartości wskaźnika stosu /w PSW/ z 111 na 000 powoduje, że pierwsza zapisana wartość zostanie zamazana. Natomiast każde wykonanie rozkazu RET lub RETR powoduje zmniejszenie zawartości wskaźnika stosu i przepisanie zawartości stosu do licznika PC.

2.1.7. Słowo stanu programu

Słowo stanu programu /PSW/ /rys. 5/ to 8-bitowy rejestr zawierający wskaźniki stanu procesora oraz wartość wskaźnika stosu /S0 ... S2/. Słowo stanu programu można odczytać lub zapisać. Po przerwaniu lub wywołaniu podprogramu czterzy bity A4 ... A7 PSW, wraz z zawartością licznika rozkazów PC, są zapamiętywane na stosie. Wykonanie rozkazu powrotu RETR powoduje odtworzenie zawartości wskaźników CY, AC, FO, BS, natomiast rozkaz RET powoduje powrót do programu głównego bez ich odtwarzania.



Rys. 5. Słowo stanu programu PSW, licznik rozkazów PC i STOS

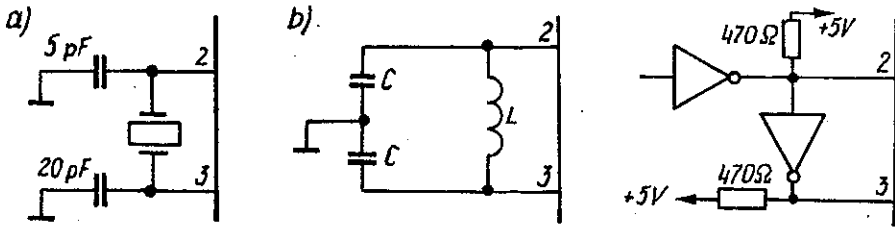
2.1.8. Przerwania

W każdym cyklu rozkazowym jest testowane wejście przerwań zewnętrznych INT. Wykrycie na nim poziomu logicznego "0", przy zezwoleniu na przerwanie, powoduje przepisanie aktualnej zawartości licznika rozkazów PC i słowa stanu PSW na stos, oraz załadowanie do PC wartości "3". W miejscu tym znajduje się zwykle rozkaz skoku /w zakresie początkowych 2 KB/ do programu obsługi przerwania.

System przyjmowania przerwania jest jednopoziomowy, tzn. podczas obsługi przerwania inne są ignorowane do czasu pojawienia się w programie instrukcji RET, RETR lub ENI - co powoduje odblokowanie układu przyjmowania przerwań. Podczas obsługi przerwania istnieje możliwość testowania wejścia INT za pomocą rozkazu skoku warunkowego JNI. Podobnie jest obsługiwane przerwanie zgłaszane przez układ zegara-licznika, którego program obsługi rozpoczyna się od adresu "7". Wyższy priorytet, przy równoczesnym zgłoszeniu, ma przerwanie zewnętrzne.

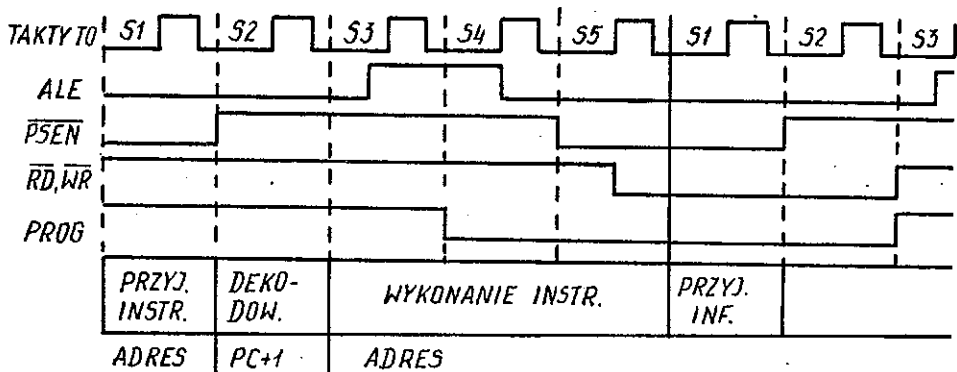
2.1.9. Taktowanie

Generator taktów jest zawarty wewnątrz mikrokomputera, a wymagane jest dołączenie /rys. 6/ jedynie zewnętrznego



Rys. 6. Oscylator:

a/ kwarcowy /impedancja = 75Ω dla 6 MHz i = 180Ω dla 3 MHz/; b/ LC $L = 45\ \mu\text{H}$, $C = 20\ \text{pF}$ dla 5,2 MHz, $L = 120\ \mu\text{H}$, $C = 20\ \text{pF}$ dla 3 MHz; generator zewn. - wypełnienie 50%/



Rys. 7. Sygnały i operacje podczas trwania cyklu maszynowego

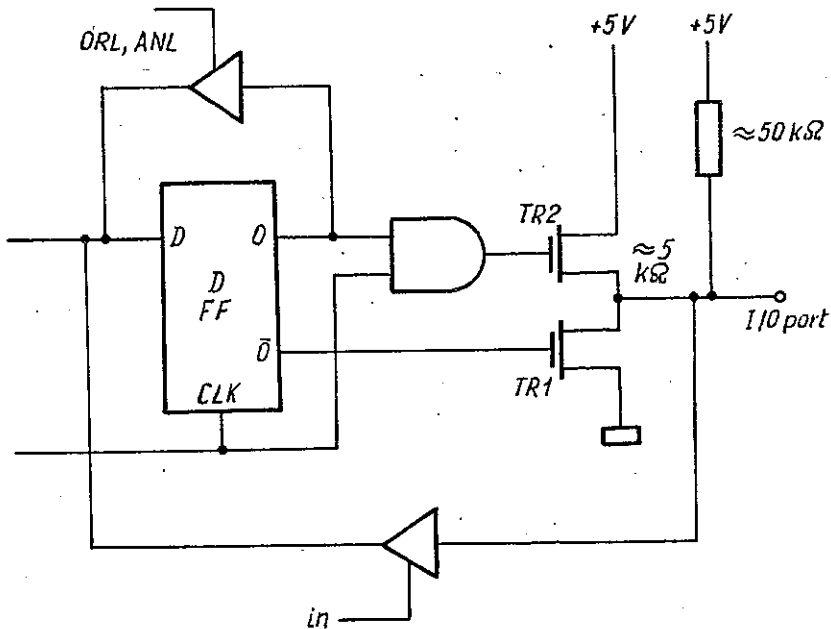
elementu rezonansowego, którym może być rezonator kwarcowy lub indukcyjność. Możliwe też jest dołączenie zewnętrznego układu taktującego. Wyjściem sygnału, o częstotliwości 3 razy niższej niż rezonatora, może być końcówka TO układu po wykonaniu instrukcji ENTCLK. Cykl maszynowy /czas wykonywania najkrótszego rozkazu/ trwa 15 taktów oscylatora, tzn. 5 taktów na wyjściu TO. Sygnały i operacje podczas trwania cyklu przedstawiono na rys. 7.

2.1.10. Porty i linie wejścia-wyjścia

Układ mikrokomputera posiada 27 linii, którymi mogą być transmitowane sygnały.

1. Port P0 - BUS jest 8-bitowym, w pełni dwukierunkowym portem z pamięcią stanu wyjścia /obciążalność $I_{OL} = 2 \text{ mA}$, $I_{OH} = -0,4 \text{ mA}$ / i bez pamięci stanu wejścia / $I_{IL,H} = 10 \mu\text{A}$ /. Port ten transmituje młodszą część adresu oraz 8-bitowe dane przy współpracy z zewnętrznymi pamięciami lub jest portem wejścia-wyjścia mikrokomputera.

2. Porty P1 i P2 służą głównie do przesyłania i odbierania sygnałów sterujących obiektem zewnętrznym. Strukturę układów sterujących liniami portów przedstawiono na rys. 8.



Rys. 8. Quasi-dwukierunkowy port P1, P2, T0

Wszystkie linie portów są na stałe dołączone przez rezystancję 50 k do napięcia +5 V, co wystarcza dla zapewnienia

nia stanu "1" układom TTL, a nie wnosi dużego obciążenia, gdy linia pełni rolę wejścia $I_{IL} < 0,5 \text{ mA}$. Gdy linia pełni rolę wyjścia, stan "0" uzyskuje się przez przewodzące złącze tranzystora TR1 $/300\Omega$, $I_{OL} = 1,6 \text{ mA}$, a stan "1" przez załączenie na 1/5 cyklu tranzystora TR2 $/5 \text{ k}\Omega$ równolegle do rezystora 50 k. Linia pełniąca funkcję wejścia musi być programowo ustawiona w stan 1.

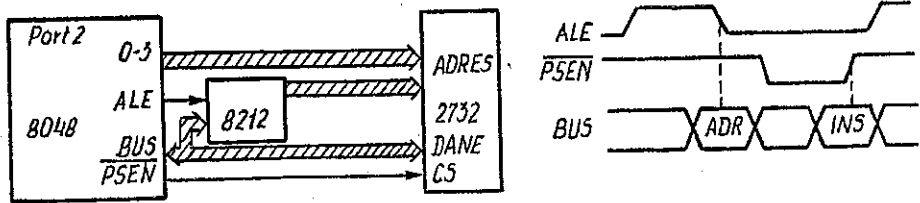
Aby umożliwić poszczególnym liniom portów pełnienie funkcji wejścia lub wyjścia, mikrokomputer realizuje na rejestrach portów instrukcje logicznego mnożenia i dodawania, których drugi argument zawarty jest w akumulatorze lub danej bezpośredniej. Cztery młodsze $/P20 \dots P23/$ bity portu P2, w obecności sygnału ALE, służą do przesłania starszej części adresu przy współpracy z zewnętrzną pamięcią programu. Przy współpracy z ekspanderem wejścia-wyjścia 8243, służą do przesyłania słów sterujących i 4-bitowych danych wraz z sygnałem PROG.

3. Linie T0, T1, INT mogą być testowane podczas wykonywania programu rozkazami skoków warunkowych bez konieczności przepisywania ich stanu do akumulatora. Ponadto linia INT generuje przerwanie zewnętrzne przy stanie "0", linia T0 może być wyjściem impulsów zegarowych i ma strukturę taką jak porty P1, P2, wykorzystywana też jest podczas programowania pamięci mikrokomputera 8748, a linia T1 $/\text{po rozkazie START CNT}/$ dostarcza do zegara-licznika impulsy taktujące i ma strukturę taką jak port BUS.

2.1.11. Zewnętrzna pamięć programu

Zewnętrzna pamięć programu do współpracy z mikrokomputerem wykorzystuje port BUS do transmisji ośmiu młodszych bitów adresu, a następnie odczytanego kodu rozkazu lub danej natychmiastowej, a linie P20 \dots P23 do transmisji starszych bitów adresu. Do pamiętania młodszej części adresu, wpisywanego opadającym zboczem sygnału ALE, wymagany jest 8-bitowy rejestr, np. 8212, a dane z pamięci są pobierane

przy narastającym zboczach sygnału PSEN /rys. 9/.

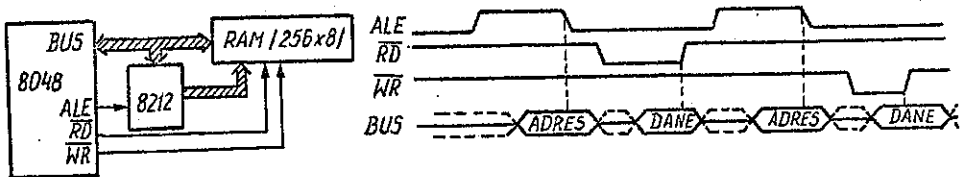


Rys. 9. Współpraca z pamięcią programu

2.1.12. Zewnętrzna pamięć danych

Zewnętrzna pamięć danych współpracuje z mikrokomputerem podobnie jak pamięć programu, lecz bez wykorzystania portu P2.

Opadające zbocze sygnału ALE sygnalizuje gotowość adresu, a sygnały RD i WR określają moment i rodzaj transmisji. Sposób współpracy i przebiegi czasowe przedstawiono na rys. 10.

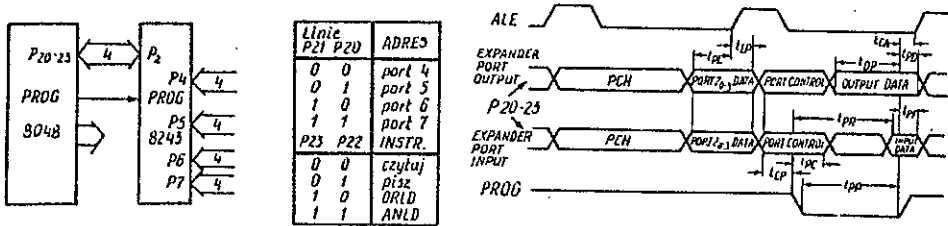


Rys. 10. Współpraca z pamięcią danych

2.1.13. Zewnętrzne układy wejścia-wyjścia

Rozbudowa układów interfejsu na zewnątrz mikrokomputera może być realizowana trzema sposobami: za pomocą specjalizowanego układu ekspandera 8243, układów pamięci RAM-256 bajtów z 22 liniami wejścia-wyjścia i zegarem - typu 8155, pamięci programu ROM/PROM z 16 liniami we-wyjścia - typu 8355/8755 oraz za pomocą standardowych układów interfejsu

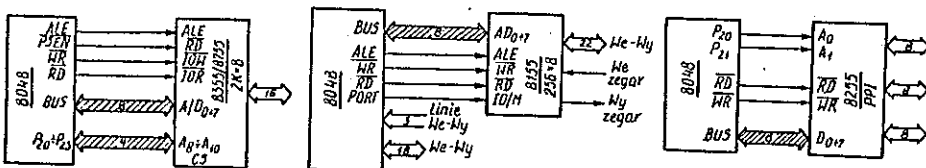
i jednostek sterujących systemu MCS-80. Najprostszą konfigurację współpracy z układem 8243 przedstawiono na rys. 11.



Rys. 11. Współpraca z układem "8243"

Do współpracy z układem 8243 są wykorzystywane linie P20 ... P23 oraz sygnał PROG. Ekspander zawiera cztery porty wejścia-wyjścia, 4-bitowe, numerowane programowo od P4 do P7 /o wewnętrznej strukturze takiej jak linie P10 ... P27 mikrokomputera/. Adres portu i rodzaj transmisji podaje się w rozkazach współpracy z układem 8243. Czterobitowa dana jest przesyłana za pośrednictwem akumulatora.

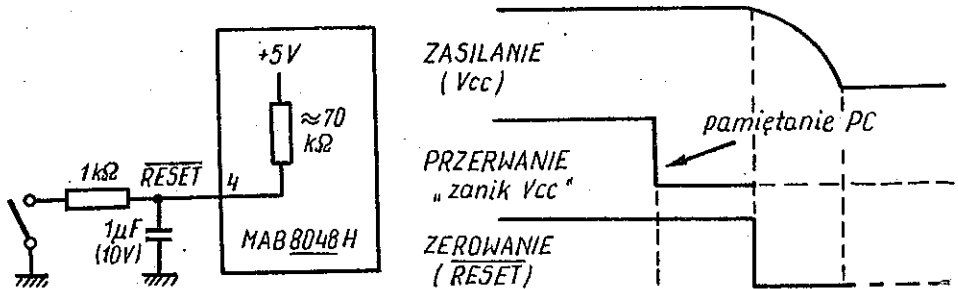
Porty wyspecjalizowanych układów 8155, 8255, 8355, 8755 /rys. 12/ są traktowane jak miejsca pamięci danych dostępne rozkazami MOVX. Dla układu 8155 jedną linią portu P1/P2 trzeba przesłać sygnał IO/M, określający czy transmitowany adres dotyczy pamięci RAM czy układów wejścia-wyjścia.



Rys. 12. Układy wejścia-wyjścia

2.1.14. Zerowanie "RESET" i praca krokowa

Sygnal RESET /rys. 13/ ustawia procesor w stan wyjściowy. Wejście Schmitta, z wewnętrznym rezystorem, zapewnia właściwy sygnał zerowania przy podłączeniu zewnętrznej pojemności 1 μF . Zewnętrzny sygnał zerowania, dla ustalenia napięć po załączeniu, powinien trwać 10 ms. Przy rozdzielonych napięciach V_{cc} i V_{dd} /zasilanie RAM/, stan "0" linii RESET gwarantuje, że przy zaniku napięcia V_{cc} zawartość pamięci wewnętrznej RAM nie ulegnie zmianie.



Rys. 13. Zerowanie mikrokomputera

Pracą krokową steruje linia SS, której niski stan - łącznie z sygnałem ALE - egzekwuje wykonanie pojedynczej instrukcji.

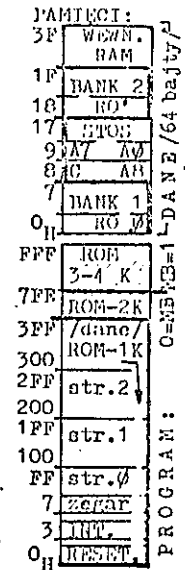
2.1.15. Instrukcje mikrokomputera

Instrukcje mikrokomputera dostosowane są do sterowania prostymi obiektami. Wszystkie rozkazy są jedno- lub dwubajtowe. Czas wykonania rozkazu, przy częstotliwości rezonatora 6 MHz, wynosi 2,5 lub 5 μs .

1. Rozkazy arytmetyczne umożliwiają operacje na zawartości akumulatora oraz zawartości miejsca /1 bajt/ w wewnętrznej lub zewnętrznej pamięci.
2. Rozkazy wejścia-wyjścia pozwalają na przesyłanie danych między akumulatorem i portami oraz operacje logiczne na ich zawartości.

INSTYM:

		przeniesienie: C<N>	liczba cykli / kod ROZKAZU		
CLR C	zeruj bit przeniesienia "C"	0	1	10010111	C ← 0
CPL C	neguj bit przeniesienia "C"	0	1	10100111	C ← C
CLR FO	zeruj bit "FO" w "PSW".....	..	1	10000111	FO ← 0
CPL FO	neguj bit "FO" w "PSW".....	..	1	10010111	FO ← FO
CLR F1	zeruj bit "F1" w "PSW".....	..	1	10100111	F1 ← 0
CPL F1	neguj bit "F1" w "PSW".....	..	1	10110111	F1 ← F1
SEL RBO	wybierz BANK "0"/RO=R7// w RAM	..	1	11000101	BS ← 0
SEL RB1	wybierz BANK "1"/RO=R7// w RAM	..	1	11010101	BS ← 1
SEL RBO	wybierz BANK "0"/O=2 K/ w ROM	..	1	11100101	PG ₁₁ ← 0
SEL MB1	wybierz BANK "1"/2÷4 K/ w ROM	..	1	11110101	PG ₁₁ ← 1
EN I	zezwole nie na przerwanie INT	..	1	00000101	
DIS I	zablokowanie przerw INT...	..	1	00010101	
EN TCNTI	zewz.na przerw.ZEGARA-LICZM.	..	1	00100101	
DIS TCNTI	zablok.przerw.ZEGARA-LICZ	..	1	00110101	
STRT T	start ZEGARA.....	..	1	01000101	
STRT CNT	start LICZNIKA impulsów.....	..	1	01010101	
STOP TCNT	stop ZEGARA-LICZNIKA.....	..	1	01100101	
EN TO CLK	taktowanie na wyjście "TO"	..	1	01110101	
NOP	nie nie rób.....	..	1	00000000	



WEJŚCIE - WYJŚCIE:

		N:liczba cykli / kod ROZKAZU		
INS A, BUS	czytaj port BUS do Akumulat.	1	00001000	PORTY WE-WY: A ← BUS
IN A, p	czytaj port P1/P2 do "A".....	2	000010pp	p pp A ← P1/P2
MOVD A, p	czytaj port P4 ÷ P7 do "A".....	2	000011pp	P7 11 A ← P4÷P7
OUTL BUS, A	pisz "A" do portu BUS.....	1	00000010	P6 10 A ← P4÷P7
OUTL p, A	pisz "A" do portu P1/P2.....	1	001110pp	P5 01 BUS ← A
MOVD p, A	pisz "A" do portu P4 ÷ P7.....	1	001111pp	P4 00 P1/P2 ← A
ANL p, #n	mnóż log.DANE/n/ i BUS/P1/P2	2	100110pp nnnnnnnn	P2 10 P1 ÷ P7 ← A
ANLD p, A	mnóż log."A" i port P4 ÷ P7...	2	100111pp	P1 01 P4 ÷ P7 ← A
ORL p, #n	dodaj log.DANE/n/ i BUS/P1/P2	2	100010pp nnnnnnnn	BUS 00 BUS ÷ P2 ← BUS ÷ P2
ORLD p, A	dodaj log."A" i port P4 ÷ P7...	1	100011pp	

PRZEŚLIJ:

		N:liczba cykli / kod ROZKAZU		
MOV A, #n	do "A" prześlij DANE/n/.....	2	00100011 nnnnnnnn	A ← DANE/n/
MOV r, #n	do wewn.RAM prześlij DANE/n/	2	1011rrrr nnnnnnnn	wewn.RAM ← DANE
MOV A, r	do "A" prześlij z wewn.RAM.....	1	1111rrrr	Rejestry RAM A ← wewn.RAM
MOVX A, r	do "A" z zewn.RAM wg RO/R1.....	2	1000rrrr	r rrrr A ← (RO/R1)
MOVPA, #A	do "A" według "A" ze str.wg PC	2	10100011	RO 1000 A ← (A) wg PC
MOVPA, #A	do "A" prześlij wg "A" ze str.3	2	11100011	R1 1001 A ← (A) str.3
MOV r, A	do wewn.RAM prześlij "A".....	1	1010rrrr	R2 1011 A ← (A) str.3
	do zewn.RAM prześlij "A" wg RO/R1	2	1001rrrr	R3 1011 wewn.RAM ← A
	do "A" prześlij LICZNIK-ZEGAR	1	01000010	R4 1100 wewn.RAM ← A
	do LICZNIKA-ZEG. prześlij "A"	1	01100010	R5 1101 (RO/R1) ← A
			01000010	R6 1110 A ← LICZ-ZEG.
			01100010	R7 1111 LICZ-ZEG. ← A
			0RO 0000	
			0R1 0001 wg RO/R1	

WYMIEN ZAWARTOŚĆ:

			przeniesienie: CAC N: liczba cykli / kod ROZKAZU
XCH A, r	wymień "A" z wewnętrzną RAM. .. 1	0010rrrr	A ↔ wewn. RAM
XCHD A, r	bity 0÷3 "A" i wewn. RAM wg RO/R1 .. 1	0011rrrr	A _{0÷3} ↔ (RO/R1) _{0÷3}
SWAP A	wymień w "A" bity 0÷3 i 4÷7. .. 1	01000111	A _{0÷3} ↔ A _{4÷7}
MOV A, PSW	do "A" przedlij zawart. PSW .. 1	11000111	A ← PSW
MOV PSW, A	do PSW prześlij zawart. "A" :: 1	11010111	PSW ← A

ARYTMETYCZNO-LOGICZNE: przeniesienie: CAC N: liczba cykli / kod rozkazu

ADD A, #n	do "A" dodaj DANE/n/..... :: 2	00000011nnnnnnnn	A ← A + DANE/n/
ADDC A, #n	do "A" dodaj DANE i przenies. C :: 2	00010011nnnnnnnn	A ← A + DANE + C
ANL A, #n	mnóż logicznie "A" i DANE/n/.. .. 2	01010011nnnnnnnn	A ← A ANDANE/n/
ORL A, #n	dodaj logicznie "A" i DANE/n/ .. 2	01000011nnnnnnnn	A ← A V DANE/n/
XRL A, #n	EX-OR /wyk. LUB/"A" i DANE/n/ .. 2	11010011nnnnnnnn	A ← A ⊕ DANE/n/
ADD A, r	do "A" dodaj z wewnętrznej RAM :: 1	0110rrrr	A ← A + wewn. RAM
ADDC A, r	do "A" dodaj z wewn. RAM i prz. C :: 1	0111rrrr	A ← A + RAM + C
ANL A, r	mnóż log. "A" i z wewn. RAM..... .. 1	0101rrrr	A ← A wewn. RAM
ORL A, r	dodaj log. "A" i z wewn. RAM. .. 1	0100rrrr	A ← A v wewn. RAM
XRL A, r	EX-OR "A" i z wewnętrznej RAM .. 1	1101rrrr	A ← A ⊕ wewn. RAM
INC A	zwiększ zawartość "A" o "1" .. 1	00010111	REJESTRY RAM: A ← A + 1
DEC A	zmniejsz zawartość "A" o "1" .. 1	00000111	r rrrr A ← A - 1
INC r	zwiększ o "1" zaw. wewn. RAM. .. 1	0001rrrr	RO 1000 R1 1001 r ← r + 1
DEC r	zmniejsz o "1" zawart. RO÷R7 .. 1	1100rrrr	R2 1010 RO÷R7 ← r - 1
CIR A	zcruj akumulator "A"..... .. 1	00100111	R3 1011 R4 1100 A ← 0
CPA A	neguj akumulator "A"..... .. 1	00110111	R5 1101 A ← \bar{A}
DAA	przywróć w "A" kod "BCD".... :: 1	01010111	R6 1110 R7 1111 A ← A BCD
RL A	$\left[\begin{array}{c} C \\ \leftarrow \end{array} \right] \left[\begin{array}{c} 7 \\ \leftarrow \end{array} \right] \left[\begin{array}{c} A \\ \leftarrow \end{array} \right] \left[\begin{array}{c} 0 \\ \leftarrow \end{array} \right]$.. 1	11100111	eRO 00001 eR1 0001 wERO/R1
RLC A	$\left[\begin{array}{c} C \\ \leftarrow \end{array} \right] \left[\begin{array}{c} 7 \\ \leftarrow \end{array} \right] \left[\begin{array}{c} A \\ \leftarrow \end{array} \right] \left[\begin{array}{c} 0 \\ \leftarrow \end{array} \right]$.. 1	11110111	
RR A	$\left[\begin{array}{c} C \\ \leftarrow \end{array} \right] \left[\begin{array}{c} 7 \\ \leftarrow \end{array} \right] \left[\begin{array}{c} A \\ \leftarrow \end{array} \right] \left[\begin{array}{c} 0 \\ \leftarrow \end{array} \right]$.. 1	01110111	
RRC A	$\left[\begin{array}{c} C \\ \leftarrow \end{array} \right] \left[\begin{array}{c} 7 \\ \leftarrow \end{array} \right] \left[\begin{array}{c} A \\ \leftarrow \end{array} \right] \left[\begin{array}{c} 0 \\ \leftarrow \end{array} \right]$.. 1	01100111	

WYKONAJ SKOK:

			N: liczba cykli / kod ROZKAZU	
Jc n	skocz gdy spełnione "c" 2	cccc0110nnnnnnnn	gdy "c" FC _{0÷7} n	WARUNEK C 1111
JMP mn	skocz wg ADRESU/mn/..... 2	mmmm00100nnnnnnnn	PC _{0÷10} ← mn	NC 1110
JMPP eA	skocz wg zawartości "A" 2	10110011	PC _{0÷7} ← A	Z 1100
JBB n	gdy w "A" bit "b=1" - wg "n" 2	bbb10010nnnnnnnn	gdy "b" PC _{0÷7} n	NZ 1001
DJNZ r, n	zmniejsz RO÷R7 o "1", gdy nie-zero : skocz wg "n" 2	1110rrrrnnnnnnnn	gdy RO÷R7 - 1 ≠ 0, PC _{0÷7} ← n	FO 1011
CALL mn	przywołaj podpr. wg "mn" 2	mmmm10100nnnnnnnn	SP ← PC, PSW _{4÷7} , SP ← SP + 1, PC _{0÷7} ← mn.	TO 0011
RET	powrót bez zmiany "PSW" 2	10000011	SP ← SP - 1, PC ← (SP)	NTO 0010
RETR	powrót - przywróć "PSW" 2	10010011	SP ← SP - 1, PC, PSW ← (SP)	NI 1000
				TF 0001

3. Rozkazy przesłań w większości bazują na zawartości akumulatora, umożliwiając przesłania pomiędzy nim a słowem stanu PSW, rejestrami RO ... R7 /bezpośrednio/ i lokalizacjami pamięci /za pośrednictwem rejestrów RO, R1/ wewnętrznej i zewnętrznej. Istnieje możliwość przesyłania do akumulatora danych umieszczonych w pamięci programu na tej samej "stronie" co kod rozkazu lub na "stronie 3".
4. Istnieje grupa rozkazów związanych z obsługą zegara-licznika, sterujących obsługą przerw oraz wyborem "banku" pamięci programu i "banku" rejestrów roboczych.
5. Obszerną grupę stanowią instrukcje skoków; istnieją dwa rozkazy skoków w obrębie wybranego "banku" pamięci programu /tzn. w obrębie ustawionego bitem A11 obszaru 2 KB/: rozkaz skoku bezwarunkowego JMP i skoku do podprogramu CALL. Pozostałe rozkazy skoków umożliwiają zmianę sekwencji programu w obrębie bieżącej "strony" pamięci, zmieniając zawartości 8 najmniej znaczących bitów PC.

Rozkaz DNZ ułatwia organizowanie pętli programowych, powodując przy każdym wykonaniu zmniejszenie zawartości wskazanego rejestru R - aż do wartości zerowej, gdy skok nie jest wykonywany.

Oznaczenia w opisie instrukcji:

- A = rej. akumulatora,
- AC = przeniesienie pomocnicze,
- C = przeniesienie,
- BS = bit wyboru banku rejestrów,
- DANE = 8-bitowe dane lub adres,
- o = warunek skoku:
 - C/NC - gdy C = 1/0,
 - Z/NZ - gdy A = 0/≠0,
 - FO/F1 - gdy FO/1 = 1,
 - TO/T1 - gdy TO/1 = 1,
 - NTO/1 - gdy TO/1 = 0,
 - NI - gdy wej. INT = 0,
 - TF - przepeł. ZEGARA

p = PORTY: BUS, P1, P2, P4 ÷ P7,
r = rejestry R0 ÷ R7 i według R0, R1,
SP = rejestr stosu,
TO, T1, FO, F1 = wejścia układu,
PC = licznik rozkazów,
PSW = słowo stanu /C, AC, FO, BS/,
Rx, PC = zawartość rejestru,
/Rx/, /SP/ = według zawartości rejestru
: = zmiana,
. = bez zmian.

2.2. Mikroprocesor Z80

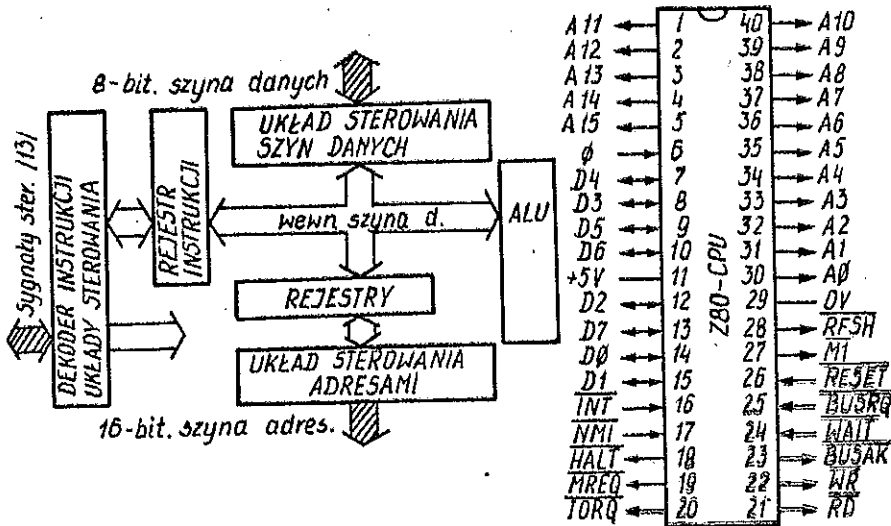
Mikroprocesor Z80-CPU łączy własności typowego mikroprocesora 8-bitowego i wybrane 16-bitowego. Jest całkowicie kompatybilny programowo z popularnym "8080A", posiada jednak wiele cech sprawiających, że budowa mikrokomputera z użyciem elementów systemu Z80 jest niezmiernie prosta. Procesor może współpracować ze wszystkimi specjalizowanymi układami systemów Intel 8080A i 8085. Mikroprocesor zamknięty jest w 40-końcówkowej obudowie. Zasilany jest napięciem +5 V/150 mA. Częstotliwość taktowania dla wersji Z80B, Z80A i Z80 wynosi odpowiednio 6, 4 lub 2,5 MHz, co daje średni czas realizacji instrukcji 1,5 2,5 lub 4 μ s.

Mikroprocesor Z80-CPU zapewnia arytmetykę 8- i 16-bitową, operacje na ciągach bajtów i manipulację bitami w rejestrach oraz pamięci, adresowanie pamięci o pojemności 65536 bajtów /64 KB/, możliwość pracy w systemie wieloprocessorowym, może bezpośrednio współpracować z pamięciami statycznymi i dynamicznymi.

2.2.1. Wyprowadzenia układu

Schemat logiczny i wyprowadzenia układu przedstawiono na rys. 14. Wyprowadzenia mikroprocesora pełnią następujące funkcje:

A0 ... A15: 3-stanowe wyjścia adresów; linie dostarczają adresów lokalności pamięci, gdy występują z sygnałem \overline{MREQ} ,



Rys. 14. Schemat logiczny i wyprowadzenia układu Z80-CPU

adresów urządzeń wejścia-wyjścia /A \emptyset ... A7/, gdy wysyłany jest sygnał IORQ lub adresów odświeżania pamięci dynamicznej /linie A \emptyset ... A6/ przy sygnale RFSH. A \emptyset jest bitem najmniej znaczącym.

D \emptyset ... D7: 3-stanowe wejścia-wyjścia danych, przeznaczone dla transmisji 8-bitowych danych pomiędzy procesorem a pamięcią lub urządzeniami wejścia-wyjścia. Podczas obsługi przerwania, w odpowiedzi na sygnał \overline{MI} i \overline{IORQ} , urządzenie zewnętrzne może umieścić na tych liniach wektor przerwania lub rozkaz.

\overline{MI} : wyjście 3-stanowe. Sygnalizuje, że realizowany jest cykl pobierania instrukcji z pamięci. Dla 2-bajtowego kodu operacyjnego występuje z adresem obu bajtów. Wraz z sygnałem \overline{IORQ} potwierdza przyjęcie przerwania od urządzenia. Aktywny stan "0".

\overline{MREQ} : wyjście 3-stanowe, sygnalizujące stanem "0" obecność adresu lokacji pamięci na liniach A \emptyset ... A15.

\overline{IORQ} : 3-stanowe wyjście, wskazujące stanem niskim "0", że na liniach A \emptyset ... A7 znajduje się adres urządzenia

wejścia-wyjścia /na liniach A8 ... A15 wystawiona jest wartość rejestru A lub B/. Wraz z sygnałem $\overline{M1}$ potwierdza przyjęcie przerwania i zezwala na ustawienie wektora przerwań lub rozkazu na liniach danych D1 ... D7.

\overline{RD} : 3-stanowe wyjście wskazujące /aktywny stan "0"/, że CPU jest gotowe do czytania danych z pamięci lub urządzenia wejścia-wyjścia. Urządzenie może tym sygnałem bramkować dane.

\overline{WR} : 3-stanowe wyjście wskazujące, że na szynach danych CPU znajdują się dane gotowe do zapisania w zaadresowanej pamięci lub urządzeniu wejścia-wyjścia. Aktywny niski stan "0".

\overline{RFSH} : wyjście, którego niski stan "0" wskazuje, że bity A \emptyset ... A6 szyny adresowej zawierają adres dla pamięci dynamicznej i że bieżący sygnał \overline{MREQ} powinien być użyty do jej odświeżenia.

\overline{HALT} : sygnał "0" na tym wyjściu wskazuje, że CPU wykonało instrukcję "HALT" i oczekuje na zerowanie lub przerwanie. CPU wykonuje w tym czasie operacje odświeżania pamięci dynamicznych.

\overline{WAIT} : sygnał "0" na wejściu informuje CPU, że zaadresowana pamięć lub urządzenie wejścia-wyjścia nie jest jeszcze gotowe do transmisji danych i wstrzymuje pracę procesora.

\overline{INT} : wejście przerwania maskowalnych. Stan niski "0" sygnalizuje CPU, że urządzenie zewnętrzne żąda obsługi. Gdy wewnętrzny przerzutnik IFF, ustawiany programowo, zezwala na przyjęcie przerwania, jest ono przyjmowane na końcu bieżącej instrukcji /przy braku żądania \overline{BUSRQ} i \overline{NMI} /. CPU potwierdza przyjęcie przerwania sygnałem \overline{IORQ} i $\overline{M1}$.

\overline{NMI} : wejście przerwania niemaskowalnych. Opadające zbocze sygnału /1 \rightarrow 0/ sygnalizuje żądanie przerwania - obsługiwanego na końcu bieżącej instrukcji. Sygnał \overline{WAIT} i \overline{BUSRQ} mogą opóźnić przejście do obsługi tego przerwania.

\overline{RESET} : wejście zerowania procesora. Trwający minimum 3 takty stan niski "0" zeruje licznik rozkazów PC. Po zmianie na stan wysoki CPU blokuje przerwania maskowalne, usta-

wia tryb "0" obsługi przerwań, wpisuje "00" do rejestru "I" i "R". Podczas trwania sygnału wszystkie linie przechodzą w stan nieaktywny lub wysokiej impedancji.

BUSRQ: wejście, stanem "0" żądające od CPU ustawienia szyny adresowej, danych i linii sterujących w stan wysokiej impedancji dla sterowania nimi przez inne urządzenie.

BUSAK: wyjście, wskazujące stanem "0", że szyny i linie sterujące CPU są ustawione w stan wysokiej impedancji i mogą być kontrolowane przez inne urządzenie.

ϕ : wejście taktujące /zegarowe/. Dla wersji 2,5 MHz, stan "1" powinien trwać 180 ns ... 200 μ s, a "0" - 180 ns ... 2 μ s.

UWAGA: wyjścia mogą być obciążone prądem 1,8 mA, a wejścia pobierają prąd 10 μ A.

2.2.2. Rejestry CPU

Rejestry CPU /rys. 15/ tworzy 208-bitowa pamięć statyczna RAM, podzielona na 18 rejestrów 8-bitowych i 4 rejestry 16-bitowe. Dwa zestawy po osiem rejestrów uniwersalnych, wykorzystywane wymiennie, mogą pełnić funkcje rejestrów 8-bitowych lub par 16-bitowych.

rej. ROBOCZE		rej. POMOCNICZE	
akumul. A	wskazn. F	akumul. A'	wskazn. F'
B	C	B'	C'
D	E	D'	E'
H	L	H'	L'
wektor prz. „I”		odśwież pam. „R”	
r. indeksowy		IX	
r. indeksowy		IY	
wsk. stosu		SP	
l. rozkazów		PC	

Rys. 15. Rejestry procesora Z80-CPU

1. Licznik rozkazów "PC" - zawiera 16-bitowy adres bieżącej instrukcji pobieranej z pamięci. Zawartość "PC" jest zwiększana o 1 po wysłaniu adresu rozkazu na linii adresowej. Przy rozkazach skoków wpisywana jest nowa wartość "PC".
2. Wskaźnik stosu "SP" - zawiera 16-bitowy adres bieżącego wierzchołka stosu, umieszczonego w dowolnym obszarze pamięci RAM. Zewnętrzna pamięć stosu jest zorganizowana jako "ostatni wszedł - pierwszy wyszedł". Dana /16-bitowa/ może być na stos przesłana z określonego rejestru lub odesłana ze stosu do rejestru CPU poprzez wykonanie instrukcji PUSH lub POP.
3. Rejestry indeksowe "IX", "IY" - zawierają dwa 16-bitowe adresy bazowe, wykorzystywane przy adresowaniu indeksowym. Bajt określający przesunięcie /liczba całkowita z zakresu -128 ... +127/ zawiera odpowiednia instrukcja.
4. Rejestr odświeżania pamięci "R" - umożliwia prostą współpracę z pamięcią dynamiczną. Zawartość siedmiu bitów tego rejestru jest automatycznie zwiększana po każdym pobraniu instrukcji, a ósmy bit jest rezultatem instrukcji "LD R, A". Adres do odświeżanej pamięci przesyłany jest na bardziej znaczących liniach adresowych, gdy CPU wykonuje pobraną instrukcję.
5. Rejestr wektora przerwań "I" - zawiera 8-bitową, starszą część wektora przerwań. Młodsza, 7-bitowa część adresu jest dostarczana z zewnętrznego urządzenia żądającego obsługi. Skompletowany tak adres określa miejsce w pamięci, gdzie jest przechowywana nowa zawartość licznika rozkazów "PC" dla programu obsługi przerwania.
6. Rejestry uniwersalne "BC, DE, HL" - tworzą dwa odpowiadające sobie zestawy /każdy po sześć rejestrów 8-bitowych/, które mogą być wykorzystywane jako rejestry 8-bitowe lub pary 16-bitowe. Program może operować na jednym zestawie: głównym /B, C, D, E, H, L/ lub pomocniczym /B', C', D', E', H', L'/. W systemie jeden zestaw może być wykorzystywany przez program główny, a drugi przez program ob-

sługi przerwania - aby uniknąć odsyłania zawartości rejestrów na stos. Wymianę zawartości rejestrów realizuje instrukcja "EXX".

7. Rejestry akumulatora i znaczników "AF" - podzielone są również na robocze /A, F/ i pomocnicze /A', F'/. Są to rejestry 8-bitowe. Wymianę ich zawartości steruje instrukcja EX AF, AF'.

Rejestr znacznika warunków /F, F'/ zawiera sześć bitów informacyjnych, zerowanych lub ustawianych podczas wykonywania instrukcji, a testowanych rozkazami skoków warunkowych.

C/: znacznik przeniesienia z najbardziej znaczącego bitu rejestru przy realizacji operacji dodawania, gdy wynik przekracza jego pojemność, lub gdy występuje "pożyczka" do najbardziej znaczącego bitu przy operacji odejmowania. Zawartość bitu zmieniana jest również instrukcjami przesuwania i rotacji.

Z/: znacznik zera, ustawiany gdy w rezultacie operacji zawartość rejestru staje się zerowa.

S/: znacznik znaku, wykorzystywany podczas operacji na liczbach ze znakiem. Ustawiany jest na "1", gdy rezultat jest liczbą ujemną, tzn. gdy bit b7 jest jedynką.

P/V/: znacznik parzystości lub przepełnienia. Wskazuje na parzystą liczbę jedynek w akumulatorze po operacjach logicznych lub reprezentuje przepełnienie, gdy przeprowadza się operacje arytmetyczne na liczbach w zapisie "dopełnienie do 2". Znacznik informuje wówczas o przekroczeniu przez wynik zakresu +127 ... -128.

Przykład 1. Dodanie dwu liczb dodatnich.

$$\begin{aligned} +120 &= 0111\ 1000 \\ + +105 &= \underline{0110\ 1001} \\ V=1, C=0 \quad 1110\ 0001 &= -95 \text{ /błąd!/} \end{aligned}$$

Przykład 2. Dodanie dwu liczb ujemnych.

$$\begin{aligned} -5 &= 1111\ 0011 \\ + -16 &= \underline{1111\ 0000} \\ V=0, C=1 \quad 1110\ 1011 &= -21 \text{ /prawidłowo!/} \end{aligned}$$

Rezultat /1/ jest nieprawidłowy, na co wskazuje ustawiony znacznik przepełnienia $V=1$ /. Wynik zapisany na 8 bitach to "225" ze znakiem "+" sygnalizowanym "0" bitu przeniesienia C.

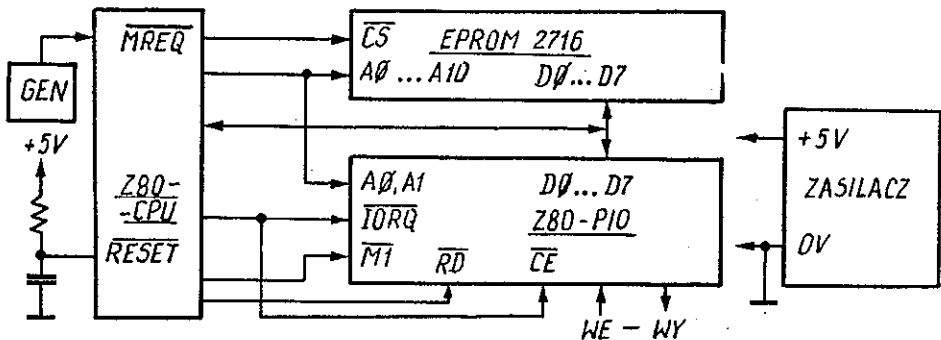
Rezultat /2/ jest poprawny /na bitach $b_0 \dots b_7$ /, na co wskazuje wyzerowany znacznik $V=0$ /, pomimo ustawionego bitu przeniesienia "C".

Można zauważyć, że gdy znacznik przepełnienia "V" jest wyzerowany, rezultat operacji mieści się w rejestrze, a najbardziej znaczący jego bit zawiera znak wyniku. Gdy znacznik "V" jest ustawiony, znaku operacji arytmetycznej należy szukać w bicie przeniesienia "C".

H,N/: pomocnicze przeniesienia wykorzystywane w arytmetyce dziesiętnej dla przywrócenia rozkazem "DAA" postaci dziesiętnej liczby. H to przeniesienie z bitu b_3 , a N to znacznik operacji odejmowania. Nie testowane rozkazami skoków.

2.2.3. Zestaw minimalny systemu

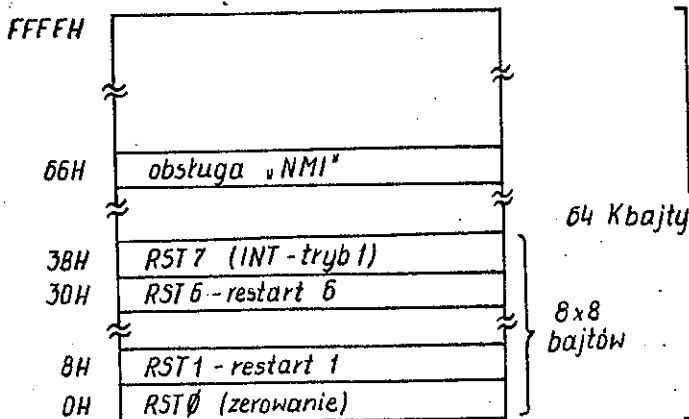
Zestaw minimalny systemu Z-80 /rys. 16/ zawiera zasilacz +5 V, generator taktów zegarowych /GEN/, pamięć programu /EPROM - 2716/, programowany układ wejścia-wyjścia o dwu 8-bitowych portach /Z80-PIO/ oraz procesor /Z80-CPU/. Jako pamięć danych wykorzystywane są wewnętrzne rejestry procesora.



Rys. 16. Minimalna konfiguracja Z80

2.2.4. Organizacja pamięci i układów wejścia-wyjścia

Z80-CPU może bezpośrednio operować na pamięci o pojemności 64 K bajtów, adresowanych za pomocą linii adresowych A₀ ... A₁₅. Transmitowane są równoległe 8-bitowe słowa w liniach D₀ ... D₇. Wybrane lokacje pamięci /rys. 17/ mają następujące przeznaczenie: restarty RST₀ ... RST₇ są 1-bajtowymi wywołaniami podprogramów, na których obsiugę przeznaczono 8-bajtowe pola w początkowej części pamięci systemu. Restart RST₀ jest jednocześnie programem startu procesora po wyzerowaniu sygnałem "RESET", a RST₇ - programem obsługi maskowalnych przerw w trybie "1".



Rys. 17. Organizacja pamięci

Od adresu 66H rozpoczyna się program obsługi przerw niemaskowalnych "NMI".

Pozostała część pamięci może być dowolnie rozdysponowana na obszar programu, danych i stosu.

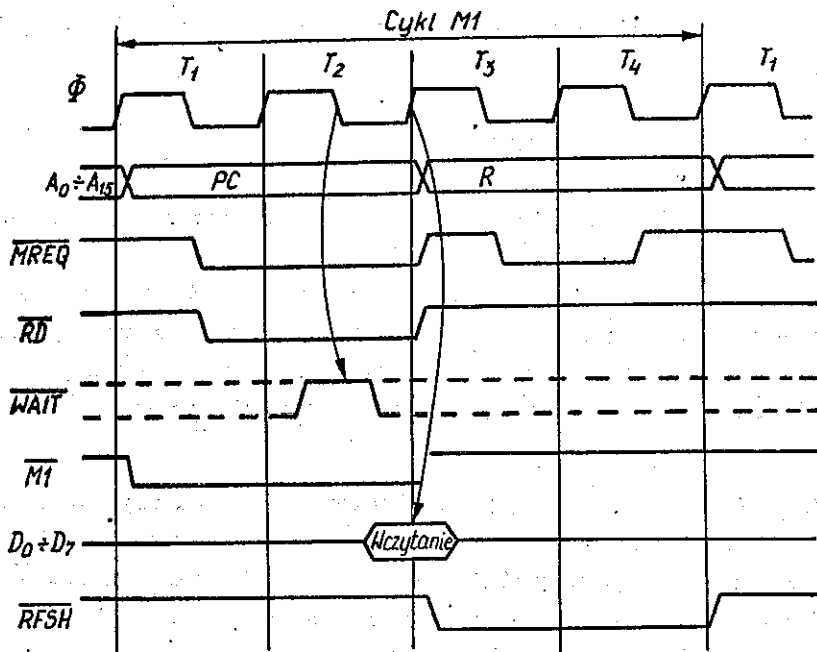
Z80-CPU adresuje bezpośrednio 256 urządzeń wejścia-wyjścia, przekazując 8-bitowy adres na liniach A₀ ... A₇ i transmitując 8-bitowe dane na liniach D₀ ... D₇. Na liniach A₈ ... A₁₅ przekazywana jest zawartość rejestru B /przy

rozkazach IN r,/C/ oraz OUT/C/,r/ lub A /przy pozostałych rozkazach IN ..., OUT .../.

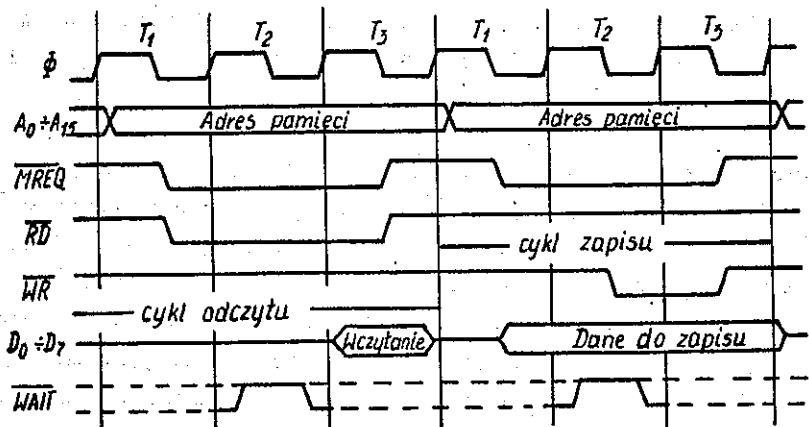
2.2.5. Operacje na szynach

Wszystkie instrukcje CPU są seriami operacji odczytu i zapisu, z których każda może wymagać od 3 do 6 taktów zegarowych. Pierwszym cyklem każdej instrukcji jest pobieranie kodu operacji /M1/. Dalsze cykle mogą dotyczyć przesyłania danych. Każdy cykl może zostać przedłużony o dowolną liczbę taktów oczekania "T_w" wymaganą przez urządzenie współpracujące.

1. POBIERANIE KODU OPERACJI: CPU wysyła na szynę adresową, na początku cyklu M1, zawartość licznika rozkazów PC. Pół okresu zegara później staje się aktywny sygnał $\overline{\text{MREQ}}$ /pamięć/, służący do wyboru układów pamięci. CPU pobiera dane z pamięci przy narastającym zboczach taktu T₃, oraz wyłącza sygnały $\overline{\text{RD}}$ i $\overline{\text{MREQ}}$. Cykle T₃ i T₄ są wykorzystywane do generowania sygnałów odświeżania pamięci dynamicznych i wykonania pobranej instrukcji. Jeśli instrukcja ma dwubajtowy kod, cykl M1 jest powtarzany. Sygnały podczas cyklu przedstawiono na rys. 18.
2. ODCZYT I ZAPIS PAMIĘCI /rys. 19/.
Cykl odczytu lub zapisu pamięci trwa 3 takty zegarowe, o ile nie wystąpi sygnał $\overline{\text{WAIT}}$. Przy odczycie sygnały $\overline{\text{MREQ}}$ i $\overline{\text{RD}}$ są wykorzystywane tak samo jak w cyklu M1. Podczas zapisu do pamięci, sygnał $\overline{\text{IORQ}}$ staje się aktywny, gdy szyna adresowa jest ustabilizowana - i może być wykorzystany do wyboru układów pamięci. Linia $\overline{\text{WR}}$ jest aktywna, gdy dane są ustalone, tak że może być użyta wprost jako impuls wpisu do praktycznie wszystkich typów pamięci półprzewodnikowych. Sygnał $\overline{\text{WR}}$ staje się nieaktywny pół taktu przed zmianą zawartości szyny adresowej i danych. Sygnał $\overline{\text{WAIT}}$ /aktywne "0"/, jeśli występuje przy opadającym zboczach taktu T₂ /i ew. taktów T_w/, przedłuża czas trwania sygnału $\overline{\text{WR}}$.



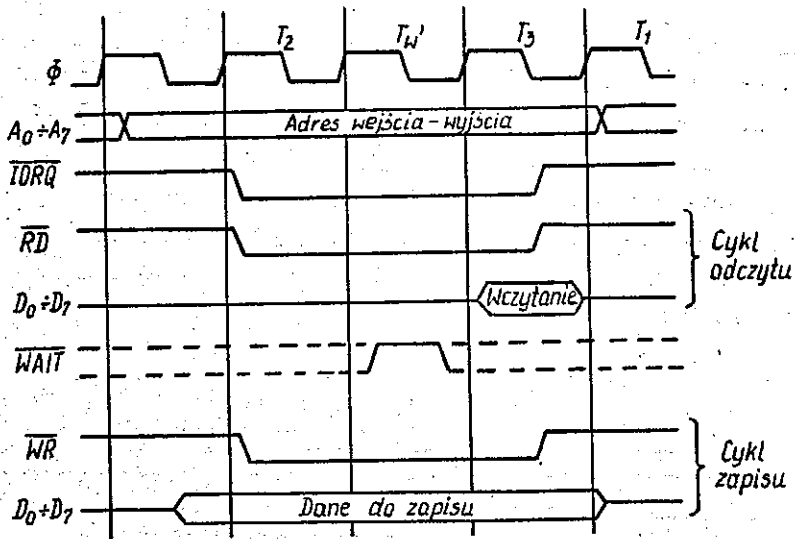
Rys. 18. Cykl pobrania kodu operacji



Rys. 19. Cykl zapisu i odczytu pamięci

3. OPERACJE WEJŚCIA-WYJŚCIA /rys. 20/.

Instrukcje Z80-CPU dają możliwość bezpośredniej adresacji 256 urządzeń. Cykl współpracy CPU z urządzeniem jest



Rys. 20. Cykl zapisu i odczytu wejścia-wyjścia

przedłużony w stosunku do cyklu pamięci o jeden takt oczekiwania T_w , wytwarzany przez procesor. Bez tego stanu oczekiwania nie można było zaprojektować urządzeń wejścia-wyjścia z bramkami MOS, które mogłyby pracować przy pełnej szybkości CPU. Linia \overline{WAIT} próbkowana jest podczas stanu oczekiwania T_w , a nie T_2 jak dla cyklu pamięci.

Przy operacji odczytu linia \overline{RD} jest używana, w obecności sygnału \overline{IORQ} , dla otwarcia zaadresowanego portu. Przy zapisie linia \overline{WR} jest używana do zapisu danych narastającym lub opadającym zboczem.

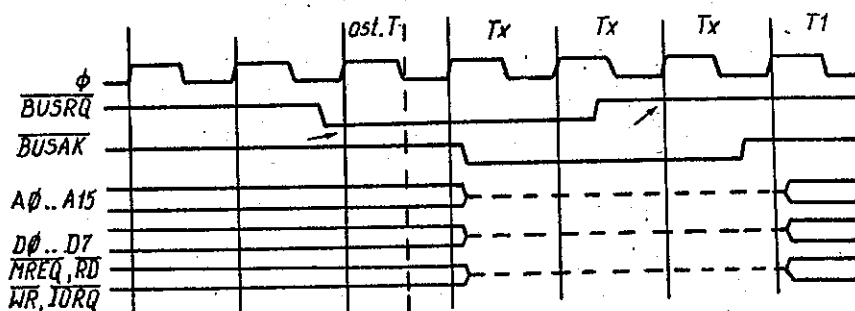
Na liniach $A_8 \dots A_{15}$, równocześnie z wystawionym na $A_0 \dots A_7$ adresem, przekazywana jest zawartość akumulatora lub rejestru "B".

2.2.6. Przerwania

CPU reaguje na wydarzenia zewnętrzne zgodnie z następującymi priorytetami:

- żądanie szyn interfejsu,
- przerwanie niemaskowalne,
- przerwania maskowalne.

1. **ŻADANIE SZYN INTERFEJSU /rys. 21/:** sygnał żądanie przyznania szyn interfejsu \overline{BUSRQ} jest próbkowany przez CPU podczas narastającego zbocza ostatniego taktu każdego cyklu maszynowego. Gdy \overline{BUSRQ} jest aktywny, CPU ustawia szyny w stan wysokiej impedancji przy narastającym zboczu następnego taktu i sygnalizuje to linią \overline{BUSAK} , umożliwiając sterowanie szynami urządzeniu zewnętrznemu. W tym stanie CPU nie reaguje na przerwania zewnętrzne.



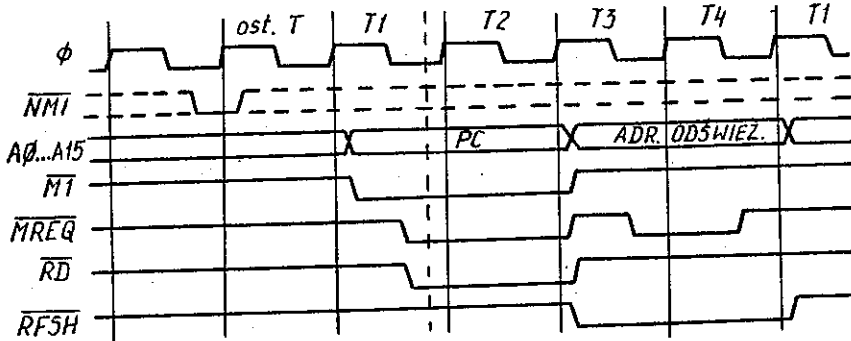
Rys. 21. Cykl "żądania-przyznania" szyn interfejsu

2. **PRZERWANIA NIEMASKOWALNE /rys. 22/.** Stan przerzutnika przerwania NMI sprawdzany jest podczas narastającego zbocza ostatniego taktu ostatniego cyklu każdej instrukcji. Do obsługi potrzeba trzech cykli: cyklu M1 i dwóch cykli zapisu do pamięci /10 taktów/. Podczas cyklu M1 zawartość szyn danych jest ignorowana. Procesor odsyła zawartość licznika rozkazów na stos i realizuje program rozpoczynający się od komórki o adresie 0066_H .

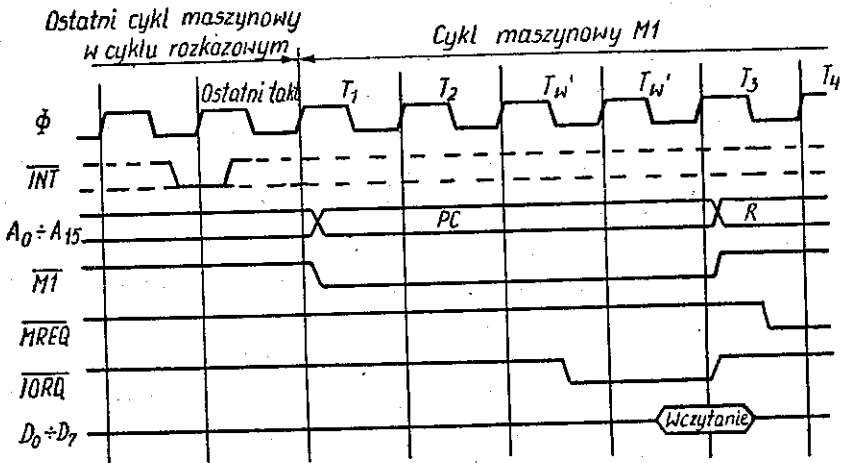
Po akceptacji przerwania NMI, jest kasowany przerzutnik zezwolenia na przerwanie maskowalne IFF1 /stan IFF jest zachowany w przerzutniku IFF2 i może być odtworzony powrotem z programu obsługi przerwania niemaskowalnego "RETN"/.

3. **PRZERWANIA MASKOWALNE /rys. 23/.** Linia \overline{INT} jest próbkowana przez CPU w tym samym momencie co i przerwania niemaskowalnych, lecz ma niższy priorytet. Jeśli ustawione jest progra-

nowo zezwolenie na przerwanie /i sygnały $\overline{\text{BUSRQ}}$, $\overline{\text{NMI}}$ są nie-aktywne/, CPU przechodzi do jego obsługi. Wysyłane są sygnały $\overline{\text{IORQ}}$ i $\overline{\text{M1}}$ jako potwierdzenie przyjęcia przerwania.



Rys. 22. Cykl obsługi przerwania niemaskowalnych



Rys. 23. Cykl M1 przyjęcia przerwania INT

Dwa stany oczekiwania T_w' dodawane są automatycznie, aby dać czas połączonym łańcuchowo układom priorytetu przerwania, urządzeń wejścia-wyjścia, na identyfikację i ustawienie wektora odpowiedzi. Przy narastającym zboczu taktu T_3 może być wczytany wektor przerwania. Dalsze dwa cykle odsyłają licznik PC na stos.

Z80-CPU zawiera przerzutnik zezwolenia na przerwanie "IFF", ustawiany bądź zerowany programowo instrukcjami EI, DI. Przerwanie może być obsłużone po zakończeniu, następczej po EI, instrukcji i nie jest przyjmowane podczas wykonywania instrukcji DI .

Instrukcja EI ustawia przerzutniki IFF1 i IFF2. Gdy przerwanie zostanie zaakceptowane przez CPU, IFF1 i IFF2 są automatycznie zerowane, zabraniając dalszych przerw. Przy obsłudze przerwania niemaskowalnego /o wyższym priorytecie/ IFF1 jest zerowany - przerwania maskowalne są zabronione -
- ale poprzedni stan jest zachowany w IFF2.

Instrukcja LD A,I lub LD A,R kopiuje stan "IFF2" we wskaźniku parzystości rejestru "F". Stan IFF1 może być odtworzony instrukcją powrotu z przerwania niemaskowalnego "RETN".

CPU może być zaprogramowane do obsługi przerw maskowalnych w jednym z trzech trybów:

- TRYB "0": identyczny jak dla procesora Intel 8080A. CPU oczekuje na instrukcję od urządzenia zewnętrznego /nawet wielobajtową/ przekazywaną w odpowiedzi na potwierdzenie przerwania. Sygnał RESET ustawia tryb "0" obsługi przerw.
- TRYB "1": procesor odpowiada na przerwanie wykonaniem programu od adresu 0038_H /13 taktów/.
- TRYB "2": urządzenie przerywające dostarcza 7 młodszych bitów wskaźnika adresu obsługi przerwania. Bit najmniej znaczący /D₀/ jest "0", osiem bardziej znaczących bitów zawiera rejestr "I", ustawiany programowo. 16-bitowy adres wskazuje miejsce w pamięci, gdzie zawarty jest faktyczny adres programu obsługi przerwania /nowa zawartość PC/. Cykl obsługi przerwania zajmuje 19 taktów zegara. Zerowanie procesora zeruje rejestr "I".

4. PRIORYTETOWY SYSTEM PRZERWAŃ MASKOWALNYCH: można prosto zorganizować z wykorzystaniem specjalizowanych układów wejścia-wyjścia Z80-PIO, Z80-CTC, Z80 SIO i Z80-DMA pracujących w TRYBIE "2" /rys. 23/.

Priorytet nadawany jest przez odpowiednie umieszczenie

układu w konfiguracji kaskadowej, z dołączeniem każdego do linii "INT" procesora.

Aby układ mógł wygenerować przerwanie, jego wejście IEI musi być w stanie wysokim. Gdy urządzenie wymaga obsługi - np. układ SIO przedstawiony na rysunku - wysyła przerwanie i blokuje dostęp stojącym dalej w łańcuchu układom /tu - PIO/, ustawiając "0" na wyjściu IEO. Układ, odczytując niski stan na wejściu IEI, ustawia swoje wyjście IEO na "0".

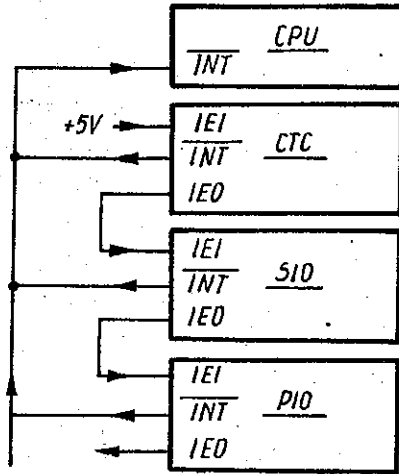
Przyjęcie przerwania /1/ CPU potwierdza sygnałami $\overline{M1}$ i \overline{IORQ} . Jeśli przed zakończeniem obsługi przerwania /od SIO/ CPU ma reagować na przerwanie o wyższym priorytecie, musi być rozkazem EI ustawiony przerzutnik IFF. Przyjmując kolejne przerwanie /od CTC, który ustawia swoją linię IEO w stan niski/, procesor odsyła poprzednią zawartość PC na stos i realizuje program obsługi CTC określony jego wektorem przerwania.

Na końcu procedury obsługi przerwania od CTC /2/, CPU wykonuje instrukcję powrotu "RETI", która zdekodowana przez CTC, informuje układ o zakończeniu jego obsługi. CTC ustawia linię IEO w stan wysoki, uaktywniając dalszy układ SIO. Procesor kończy obsługę przerwania od SIO /1/. Po zdekodowaniu instrukcji "RETI", układ SIO ustawia w stan wysoki swoją linię IEO, uaktywniającą umieszczone dalej układy /tu - PIO/.

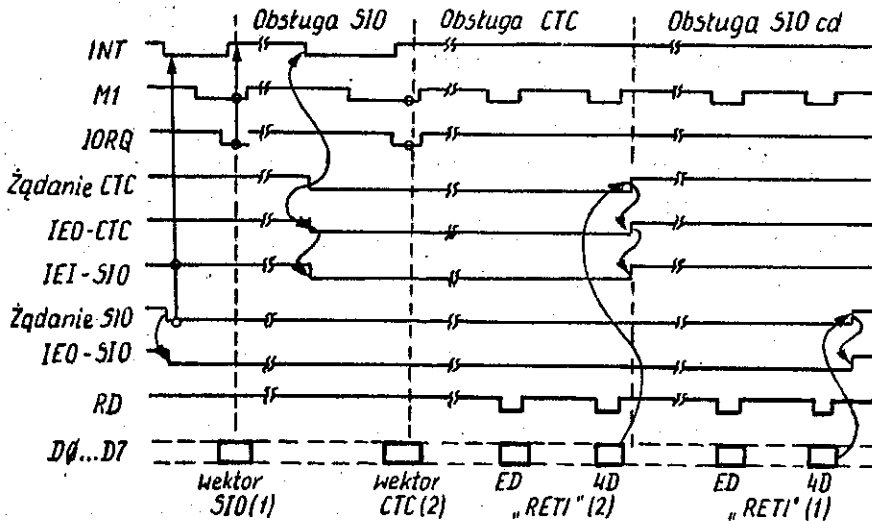
Przebiegi czasowe dla sekwencji obsługi przerwania przedstawiono na rys. 24.

Jeżeli układ CTC /2/ wysyła przerwanie podczas wykonywania przez CPU instrukcji "RETI" dla układu umieszczonego dalej /np. SIO/, to czas trwania tej instrukcji linia IEO układu CTC jest w stanie wysokim, by umożliwić układowi SIO zdekodowanie końca obsługi przerwania.

Przy potwierdzeniu przyjęcia przerwania przez CPU, od opadającego zbocza sygnału $\overline{M1}$ do opadającego zbocza sygnału \overline{IORQ} , urządzenia zewnętrzne /CTC, SIO, PIO, DMA/ mają czas na ustalenie priorytetów. W tym celu CPU wytwarza dwa dodatkowe takty T_w , co daje możliwość dołączenia łańcucha czterech układów generujących przerwanie. Zwiększenie liczby u-



Rys. 24. System przerwai



Rys. 25. Sekwencja obsługi przerwai od opisanych CTC i SIO

kładów można osiągnąć, opóźniając o "n" taktów Tw sygnał \overline{IORQ} lub wykorzystując generatory przeniesienia "74S182" dla skrócenia czasu ustalania priorytetów.

2.2.7. Programowane układy wejścia-wyjścia

- System Z80 zawiera programowane układy wejścia-wyjścia:
- PIO: dwubajtowy port równoległego wejścia-wyjścia, z sygnałami strobuującymi transmisje bajtowe i możliwością niezależnej pracy poszczególnych linii;
 - CTC: 4-kanałowy układ licznika czasu i zdarzeń oraz dzielnika częstotliwości;
 - SIO: dwukanałowy, dwukierunkowy port transmisji szeregowej asynchronicznej i synchronicznej;
 - DMA: sterownik kanału bezpośredniego dostępu do pamięci, umożliwiający również jej przeszukiwanie bez udziału CPU.

Układy odznaczają się znacznymi możliwościami programowania ich pracy oraz warunków generowania przerw.

Z procesorem Z80-CPU mogą współpracować wszystkie układy systemu Intel 8080A/8085, nie zapewniają one jednak tak wygodnej konstrukcji systemu przerw.

2.2.8. Instrukcje mikroprocesora Z80 CPU

1. STRUKTURA DANYCH W PAMIĘCI LUB REJESTRACH

b7	b6	b5	b4	b3	b2	b1	b0
----	----	----	----	----	----	----	----

- 8-bitowe /b7 = 128 lub znak/

15	14	13	12	11	10	9	8
7	6	5	4	3	2	1	0

B,D,H,A, n }
C,E,L,F, n+1 } 16-bitowe

STRUKTURA ROZKAZÓW

- jednobajtowe: XXH

n	7	6	5	4	3	2	1	0
---	---	---	---	---	---	---	---	---

- kod operacji

4. OZNACZENIA W OPISIE INSTRUKCJI:

A, F, B, C, D, E, H, L = 8-bitowe rejestry robocze;

A', F', B', C', D', E', H', L' = 8-bit. rejestry pomocnicze;

AF, BG, DE, HL, IX, IY, SP, PC = 16-bitowe pary rejestrów i rejestry

CZPS = znaczniki warunków /rejestr "F"/: . -zn.bez zmian,

: -zmiana znacznika, x - znacznik nie określony;

c = kod warunku znaczników "CZPS" dla skoku:

NZ = 000 = nie-zero /Z=0/,

Z = 001 = zero /Z=1/,

NC = 010 = brak przeniesienia /C=0/,

C = 011 = przeniesienie /C=1/,

PO = 100 = nieparzyst.lub brak przepełnienia /P/V=0/,

PE = 101 = parzystość lub przepełnienie /P/V=1/,

P = 110 = znak plus /S=0/,

M = 111 = znak minus /S=1/.

dd, pp, qq, rr = 16-bitowa para rejestrów lub rejestr:

15	14	13	12	11	10	9	8	-A, B, D, H, SP _H , IX/Y _H	dd	pp	qq	rr	aa, vv
7	6	5	4	3	2	1	0	-F, C, E, L, SP _L , IX/Y _L	BC	BC	BC	BC	00
									DE	DE	DE	DE	01
									HL	IX	HL	IY	10
									SP	SP	AF	SP	11

bit 15 = "32768" lub znak

e = przesunięcie względem Licznika Rozkazów "PC"

/-126 ≤ e < +129/;

mn = 16-bitowa dana lub adres /mn = 0 ... 65536₁₀/;

n = 8-bitowa dana lub adres /n=0 ... 255 lub -128...+127/;

r, s = 8-bitowy rejestr:

b7	b6	b5	b4	b3	b2	b1	b0	r, s	rrr, sss	
								A	111	akumulator
								B	000	rejestr B
								C	001	rejestr C
								D	010	rejestr D
								E	011	rejestr E
								H	100	rejestr H
								L	110	rejestr L
								(HL)	110	PAO wg adr. w HL /nie z "IX, IY"/

- T_n = liczba taktów zegara, niezbędnych dla wykonania instrukcji /gdy x/y , to większa wartość dla operacji (HL)/;
- z = rejestr indeksowy "IX" / $z=0$ / lub "IY" / $z=1$ /;
- $/z+d/$ = $/IX+d/$ lub $/IY+d/$: lokacja PA0 wg rejestru IX, IY i przesunięcia "d" $-128 < d < +127$ /;
- $/.../$ = adres lokacji pamięci /PA0/ lub wejścia-wyjścia.

Szczegółowy opis instrukcji mikroprocesora Z80-CPU przedstawiono na stronach 47, 48, 49, 50 i 51 .

USTAW / TESTUJ BIT : znaczniki-CZPS Tn KOD-rozkazu

SET b,r	ustaw bit "b" w "r" 15/8	<u>1100101111bbrrrr</u>	$r_b \leftarrow 1$
SET b,(z+d)	ust."b" w PAO wg IX/Y 23	<u>11z11101110010111</u> dddddddd <u>11bbb110</u>	$(IX/Y+d)_b \leftarrow 1$
RES b,r	zeruj bit "b" w "r" 15/8	<u>1100101110bbrrrr</u>	$r_b \leftarrow 0$
RES b,(z+d)	zer."b" w PAO wg IX/Y 23	<u>11z11101110010111</u> dddddddd <u>10bbb110</u>	$(IX/Y+d)_b \leftarrow 0$
BIT b,r	testuj bit "b" w "r" .Zxx #/8	<u>1100101101bbrrrr</u>	$F_z \leftarrow r_b$
BIT b,(z+d)	tst."b" w PAO wg IX/Y .Zxx 20	<u>11z11101110010111</u> dddddddd <u>01bbb110</u>	$F_z \leftarrow (IX/Y+d)_b$

/ b = 0...7 : numer bitu /

PRZEŚLIJ DANE 8-BITOWE:

	CZPS	Tn	
LD (BC),A	z "A" do PAO wg "BC" 7	<u>00000010</u>	$(BC) \leftarrow A$
LD A,(BC)	z PAO do "A" wg "BC" 7	<u>00001010</u>	$A \leftarrow (BC)$
LD (DE),A	z "A" do PAO wg "DE" 7	<u>00010010</u>	$(DE) \leftarrow A$
LD A,(DE)	z PAO do "A" wg "DE" 7	<u>00011010</u>	$A \leftarrow (DE)$
LD (mn),A	z "A" do PAO wg adr. 13	<u>00110010</u> nnnnnnnn nnnnnnnnn	$(mn) \leftarrow A$
LD A,(mn)	z PAO do "A" wg adr. 13	<u>00111010</u> nnnnnnnn nnnnnnnnn	$A \leftarrow (mn)$
LD r,n	DANE /n/ do "r" 10/7	<u>00rrr110</u> nnnnnnnn	$r \leftarrow \text{DANE} /n/$
LD r,s	z "s" do "r" 7/4	<u>01rrrsss</u>	$r \leftarrow s$
LD I,A	z "A" do rejestru "I" 9	<u>1110110101000111</u>	$I \leftarrow A$
LD R,A	z "A" do rejestru "R" 9	<u>1110110101001111</u>	$R \leftarrow A$
LD A,I	z rejestru "I" do "A" .:f: 9	<u>1110110101010111</u>	$f = \text{IFF} \quad A \leftarrow I$
LD A,R	z rejestru "R" do "A" .:f: 9	<u>1110110101011111</u>	$f = \text{IFF} \quad A \leftarrow R$
LD (z+d),n	DANE do PAO wg "IX/Y" 19	<u>11z11101001101101</u> dddddddd nnnnnnnn	$(IX/Y+d) \leftarrow \text{DANE}$
LD (z+d),r	z "r" do PAO wg IX/Y 19	<u>11z1110101110rrrr</u> dddddddd	$(IX/Y+d) \leftarrow r$
LD r,(z+d)	z PAO do "r" wg IX/Y 19	<u>11z1110101rrrr110</u> dddddddd	$r \leftarrow (IX/Y+d)$

PRZEŚLIJ BLOK DANYCH:

	CZPS	Tn	
LDI	z PAO wg HL do PAO wg DE ..a. 16	<u>1110110110100000</u>	$(DE) \leftarrow (HL), BC \leftarrow BC-1,$ $DE \leftarrow DE+1, HL \leftarrow HL+1$
LDIR	z PAO wg HL do PAO wg DE ..0. 21*	<u>1110110110110000</u>	powtarzaj dopóki $BC \neq 0$
LDD	z PAO wg HL do PAO wg DE ..a. 16	<u>1110110110101000</u>	$(DE) \leftarrow (HL), BC \leftarrow BC-1,$ $DE \leftarrow DE-1, HL \leftarrow HL-1$
LDDR	z PAO wg HL do PAO wg DE ..0. 21*	<u>1110110110111000</u>	powtarzaj dopóki $BC \neq 0$

/ a = 0 dla "BC" = 0 ; 21* : Tn = 16 gdy "BC" = 0 /

WYSZUKAJ W PAO DANE 8-BITOWE:

	CZPS	Tn	
CPI	porównaj "A" z PAO wg HL .ab: 16	<u>1110110110100001</u>] A - (HL) BC ← BC-1 HL ← HL+1
CPIR	porównaj "A" z PAO wg HL .ab: 21*	<u>1110110110110001</u>	
CPD	porównaj "A" z PAO wg HL .ab: 16	<u>1110110110101001</u>	
CPDR	porównaj "A" z PAO wg HL .ab: 21*	<u>1110110110111001</u>] A - (HL) BC ← BC-1 HL ← HL-1

/ a = 0 gdy "A" ≠ PAO, b = 0 gdy "BC" = 0 ; 21* : Tn = 16 gdy "BC" = 0 /

ARYTMETYCZNO-LOGICZNE 8-BITOWE:

znaczniki-CZPS Tn KOD-rozkazu

INC r do "r" dodaj "1"... :V: 1/4 00rrr100 r ← r+1
 INC (z+d) do PAOwg IX/Ydod.1 :V: 23 11z1110100011010000000000
 (IX/Y+d) ← (IX/Y+d)+1
 DEC r od "r" odejmij "1" :V: 1/4 00rrr101 r ← r-1
 DEC (z+d) od PAOwg IX/Y od.1 :V: 23 11z1110100011010100000000
 (IX/Y+d) ← (IX/Y+d)-1
 ADD A,r do "A" dodaj "r"... :V: 7/4 10000rrr A ← A+r
 ADD A,n do "A" dodaj DANE :V: 7 11000110nnnnnnnn A ← A+DANE
 ADD A,(z+d) do "A" dodaj wg IX/Y :V: 19 11z11101100001100000000
 A ← A+(IX/Y+d)
 ADC A,r do A dodaj "r" i prze. :V: 7/4 10001rrr A ← A+r+CY
 ADC A,n do A dodaj DANE i :V: 7 11001110nnnnnnnn A ← A+DANE+CY
 przeniesienie
 ADC A,(z+d) do A dodaj wg IX/Y :V: 19 11z11101100011100000000
 i przeniesienie A ← A+(IX/Y+d)+CY
 SUB r od "A" odejmij "r" :V: 7/4 10010rrr A ← A-r
 SUB n od "A" odejm. DANE :V: 7 11010110nnnnnnnn A ← A-DANE
 SUB (z+d) od "A" odej. wg IX/Y :V: 19 11z11101100101100000000
 A ← A-(IX/Y+d)
 SBC A,r od A od "r" i przen. :V: 7/4 10011rrr A ← A-r-CY
 SBC A,n od A odejmij DANE :V: 7 11011110nnnnnnnn A ← A-DANE-CY
 i przeniesienie
 SBC A,(z+d) od A odejm. wg IX/Y :V: 19 11z11101100111100000000
 i przeniesienie A ← A-(IX/Y+d)-CY
 AND r mnoż log "A" i "r" O:P: 7/4 10100rrr A ← A∧r
 AND n mnoż log "A" i DANE O:P: 7 11100110nnnnnnnn A ← A∧DANE
 AND (z+d) mn. log "A" i wg IX/Y O:P: 19 11z11101101001100000000
 A ← A∧(IX/Y+d)
 XOR r EX-OR "A" i "r"... O:P: 7/4 10101rrr A ← A⊕r
 XOR n EX-OR "A" i DANE O:P: 7 11101110nnnnnnnn A ← A⊕DANE
 XOR (z+d) EX-OR "A" i wg IX/Y O:P: 19 11z11101101011100000000
 A ← A⊕(IX/Y+d)
 OR r dodaj log "A" i "r" O:P: 7/4 10110rrr A ← A∨r
 OR n dod. log "A" i DANE O:P: 7 11110110nnnnnnnn A ← A∨DANE
 OR (z+d) dod. log "A" i wg IX/Y O:P: 19 11z11101101101100000000
 A ← A∨(IX/Y+d)
 CP r porównaj "A" i "r" :aV: 7/4 10111rrr A - r
 CP n porównaj "A" i DANE :aV: 7 11111110nnnnnnnn A - DANE
 CP (z+d) porównaj "A" i wg :aV: 19 11z11101101111100000000
 IX/Y A - (IX/Y+d)
 / a = 1 gdy "A" = "r", DANE, PAO /

PRZESUN DANE 8-BITOWE:

		CZPS Tn KOD-rozkazu	
RICA	w "A" :... 4	00000111	
RIA	w "A" :... 4	00010111	
RRCA	w "A" :... 4	00001111	
RRA	w "A" :... 4	00011111	
RIC r	w "r" ::P: 8*	1100101100000rrr	
RIC (z+d) wg "z"	::P: 23	11z11101110010111ddddddd00000110	
RL r	w "r" ::P: 8*	1100101100010rrr	
RL (z+d) wg "z"	::P: 23	11z11101110010111ddddddd00010110	
RRC r	w "r" ::P: 8*	1100101100001rrr	
RRC (z+d) wg "z"	::P: 23	11z11101110010111ddddddd00001110	
RR r	w "r" ::P: 8*	1100101100011rrr	
RR (z+d) wg "z"	::P: 23	11z11101110010111ddddddd00011110	
SLA r	w "r" ::P: 8*	1100101100100rrr	
SLA (z+d) wg "z"	::P: 23	11z11101110010111ddddddd00100110	
SRA r	w "r" ::P: 8*	1100101100101rrr	
SRA (z+d) wg "z"	::P: 23	11z11101110010111ddddddd00101110	
SRL r	w "r" ::P: 8*	1100101100111rrr	
SRL (z+d) wg "z"	::P: 23	11z11101110010111ddddddd00111110	
RID	A z PAO ::P: 18	11101101101101111	
RRD	A z PAO ::P: 18	11101101101100111	

/ 8* : Tn = 15 dla r = HL / w "A" wg "HL"

CZYTAJ/PISZ DANE 8-BITOWE:

		CZPS Tn	
IN A,(n) z wejścia "n" do "A" 11	11011011nnnnnnnn	A ← (n)
IN r,(C) z wej.wg "C" do "r"	::P: 12	11101101101rrr000	r ← (c)
	/dla r=HL/ ::P:		r ← r
OUT (n),A z "A" na wyjście "n" 11	11010011nnnnnnnn	(n) ← A
OUT (C),r z "r" na wyj.wg "C" 12	11101101101rrr001	(C) ← r
INI we.wg "C" do PAO wg "HL"	.axx 16	11101101110100010	(HL) ← (C)
INIR we.wg "C" do PAO wg "HL"	.1xx 21*	11101101110110010	B ← B-1
powtarzaj dopóki B ≠ 0			HL ← HL+1
IND we.wg "C" do PAO wg "HL"	.axx 16	11101101110101010	(HL) ← (C)
INDR we.wg "C" do PAO wg "HL"	.1xx 21*	11101101110111010	B ← B-1
powtarzaj dopóki B ≠ 0			HL ← HL-1
OUTI PAO wg "HL" na wy.wg "C"	.axx 16	11101101110100011	(C) ← (HL)
OTIR PAO wg "HL" na wy.wg "C"	.1xx 21*	11101101110110011	B ← B-1
powtarzaj dopóki B ≠ 0			HL ← HL+1
OUTD PAO wg "HL" na wy.wg "C"	.axx 16	11101101110101011	(C) ← (HL)
OTDR PAO wg "HL" na wy.wg "C"	.1xx 21*	11101101110111011	B ← B-1
powtarzaj dopóki B ≠ 0			HL ← HL-1

/ a = 1 gdy rej. "B" = 0 ; 21* : Tn = 16 gdy "B" = 0 /

PRZEŚLIJ DANE 16-BITOWE

CZPS Tn

LD dd,mn	DANE/mn/ do rej"dd" 10	00vv0001nnnnnnnnmmmmmmmm	dd←DANE
LD (mn),HL	z"HL" do PAO wg adr. 16	00100010nnnnnnnnmmmmmmmm	(mn+1)←H (mn)←L
LD HL,(mn)	z PAO do"HL" wg adr. 16	00101010nnnnnnnnmmmmmmmm	H←(mn+1) L←(mn)
LD z,mn	DANE/mn/do rej.IX/Y 14	11z1110100100001nnnnnnnnmmmmmmmm	IX/Y←DANE/mn/
LD (mn),z	z IX/Y do PAOwg adr. 20	11z1110100100010nnnnnnnnmmmmmmmm	(mn+1)←IX/Y _H , (mn)←IX/Y _L
LD z,(mn)	z PAO do IX/Y wg adr. 20	11z1110100101010nnnnnnnnmmmmmmmm	IX/Y _L ←(mn), IX/Y _H ←(mn+1)
LD (mn),dd	z"dd" do PAO wg adr. /dd#HL/ 20	1110110101vv0011nnnnnnnnmmmmmmmm	(mn+1)←B/D/S, (mn)←C/E/P
LD dd,(mn)	z PAO do"dd" wg adr. /dd#HL/ 20	1110110101vv1011nnnnnnnnmmmmmmmm	B/D/S←(mn+1), C/E/P←(mn)
LD SP,HL	z"HL" do wskaźn"SP" 6	11111001	SP←HL
LD SP,z	z IX/Y do wskaźn"SP" 10	11z1110111111001	SP←IX/Y
POP qq	z PAO do"qq" wg "SP" 10	11vv0001	A/B/D/H←(SP+1), F/C/E/L←(SP) SP←SP+2
PUSH qq	z"qq" do PAO wg "SP" 11	11vv0101	(SP-1)←A/B/D/H, (SP-2)←F/...L SP←SP-2
POP z	z PAO do IX/Y wg "SP" 14	11z1110111100001	IX/Y _L ←(SP-1), IX/Y _H ←(SP) IX/Y _L ←(SP), IX/Y _H ←SP+2
PUSH z	z IX/Y do PAO wg "SP" 15	11z1110111100101	(SP-1)←IX/Y _{H2}, (SP-2)←IX/Y_{L2}, SP←SP+2}}

WYMIEN ZAWARTOŚĆ REJESTRÓW:

EX AF,AF'	zawart."AF" z"AF'" 4	00001000	AF ↔ AF'
EXX	roboczych z pomoc. 4	11011001	BC, DE, HL ↔ BC', DE', HL'
EX SP,HL	"HL"z PAO wg "SP" 19	11100011	H ↔ (SP+1); L ↔ (SP)
EX DE,HL	zawart."DE" z "HL" 4	11101011	DE ↔ HL
EX SP,z	IX/Y z PAO wg "SP" 23	11z1110111100011	IX/Y _{H} ↔ (SP+1), IX/Y_{L} ↔ (SP)}}

DODAJ-ODEJMIJ DANE 16-BITOWE:

CZPS Tn

ADD HL,dd	do"HL"dodaj "dd" 11	00vv1001	HL←HL+dd
ADC HL,dd	do"HL"dodaj"dd"i przeniesienie	::V: 15	1110110101vv1001	HL←HL+dd+CY
SBC HL,dd	od"HL"odejmij"dd" i przeniesienie	::V: 15	1110110101vv0001	HL←HL-dd-CY
INC dd	do "dd" dodaj "1" 6	00vv0011	dd←dd+1
DEC dd	od"dd"odejmij"1" 6	00vv1011	dd←dd-1
INC z	do"IX/Y"dodaj"1" 10	11z1110100100011	z←z+1
DEC z	od"IX/Y"odejmij"1" 10	11z1110100101011	z←z-1
ADD IX,pp	do"IX" dodaj "pp" 15	1101110100aa1001	aa pp,rr IX←IX+pp 00 BC BC 01 DE DE 10 IX IX 11 SP SP
ADD IY,rr	do"iY" dodaj "rr" 15	1111110100aa1001	IY←IY+rr

WYKONAJ SKOK:

Tn KOD-rozkazu

JP mn: według ADRESU mn 10 11000011nnnnnnnnmmmmmmmm PC ← DANE/mn/
 JP c,mn przy "c" wg ADRESU 10 11ccc010nnnnnnnnmmmmmmmm gdy "c": PC ← mn
 JP (HL) według "HL" 4 11101001 PC ← HL
 JP (z) według "IX/Y" 8 11z1110111101001 PC ← IX/Y
 JR e o "e"/-126..129/ 12 00010000EEEEEEEE PC ← PC+e
 JR NZ,e gdy Z=0,o"e"szów 7' 00100000EEEEEEEE Z=0: PC ← PC+e
 JR Z,e gdy Z=1,o"e"szów 7' 00101000EEEEEEEE Z=1: PC ← PC+e
 JR NC,e gdy C=0,o"e"szów 7' 00110000EEEEEEEE C=0: PC ← PC+e
 JR C,e gdy C=1,o"e"szów 7' 00111000EEEEEEEE C=1: PC ← PC+e
 DJ NZ,e gdy "B"-1≠0,o"e"... 8' 00010000EEEEEEEE B ← B-1
 gdy B≠0,PC ← PC+e
 / 7', 8': Tn = 12, 13 gdy wykonywany skok /

PRZYWOŁAJ PODPROGRAM:

Tn KOD-rozkazu

CALL mn wg ADRESU 17 11001101nnnnnnnnmmmmmmmm (SP-1) ← PC_H
 CALL c,mn gdy "c"-wg 10' 11ccc100nnnnnnnnmmmmmmmm C' -2 ← PC_H
 ADRESU PC ← ADDR._L
 SP ← SP-2
 RST t. restart od 11 11ttt111 (SP-1) ← PC_H, (SP-2) ← PC_L
 adresu 8·t PC_H ← 0, PC_L ← 8·t, SP ← SP-2
 / 10': Tn=17 gdy "c" /

POWRÓC Z PODPROGRAMU:

Tn KOD-rozkazu

RET powrót z podprogr. 10' 11001001 PC_H ← (SP+1),
 RET o powrót gdy "c"..... 5/1 11ccc000 PC_L ← (SP),
 RETI -obsługi prz. INT 14' 1110110101001101 SP ← SP+2
 RETN -obsługi prz. NMI 14' 1110110101000101

USTAW:

znaczniki-CZPS Tn KOD-rozkazu

DAA "A"na postać dzies. ::P: 4 00100111 A ← A_{BCD}
 CPL neguj akumulator "A" 4 00101111 A ← \bar{A}
 SCF ustaw przenies. "CY" 1... 4 00110111 CY ← 1
 CCF neguj przenies. "CY" C... 4 00111111 CY ← \bar{CY}
 NEG dopełnienie akumul. ::V: 8 1110110101000100 A ← $\bar{A}+1$
 DI blokada przerwań INT 4 11110011 IFF ← 0
 EI umożliw.przerwań INT 4 11111011 IFF ← 1
 IM 0 tryb "0" obsługi INT 8 1110110101000110
 IM 1 tryb "1" obsługi INT 8 1110110101010110
 IM 2 tryb "2" obsługi INT 8 1110110101011110
 NOP nic nie rób..... 4 00000000 PC ← PC+1
 HALT czekaj na przerwanie 4 01110110 PC ← PC

2.3. Mikroprocesor 8086/8088

Układy 8086 i 8088 to 16-bitowe mikroprocesory^{x/}, które przy zachowaniu semantyki programu /lecz przy innych kodach instrukcji/ procesora INTEL 8080A i jego funkcji, realizują 16-bitową arytmetykę wraz z mnożeniem i dzieleniem, operacje na ciągach bajtów i manipulację bitami, adresują pamięć w zakresie 1 Mbajta i organizują pracę wieloprocessorową.

Mikroprocesor 8086 do transmisji wykorzystuje 16-bitową, a mikroprocesor 8088 8-bitową, dwukierunkową szynę danych. 40-końcówkowe układy zasilane są napięciem +5 V/200 mA. Częstotliwość taktowania, zależnie od wersji, wynosi 4, 5 lub 8 MHz, a czas realizacji najkrótszej instrukcji 4 takty zegara.

Schemat blokowy i rozmieszczenie wyprowadzeń układów przedstawiono na rys. 26.

Wewnętrzne funkcje układów odpowiadają logicznie dwóm, działającym asynchronicznie, procesorom: układowi interfejsu szyn /BIU/ i układowi sterowania /EU/. Układ BIU pobiera i przechowuje 6-bajtową kolejkę instrukcji, a układ sterowania pobiera i wykonuje instrukcje z kolejki. Dwie jednobajtowe instrukcje mogą być wykonane w czasie jednego /3 takty/ cyklu pamięciowego. Kolejka działa na zasadzie "pierwszy wszedł - pierwszy wychodzi". Gdy jest pusta /np. po instrukcji skoku/, pobierany do wykonania jest pierwszy bajt z kolejki.

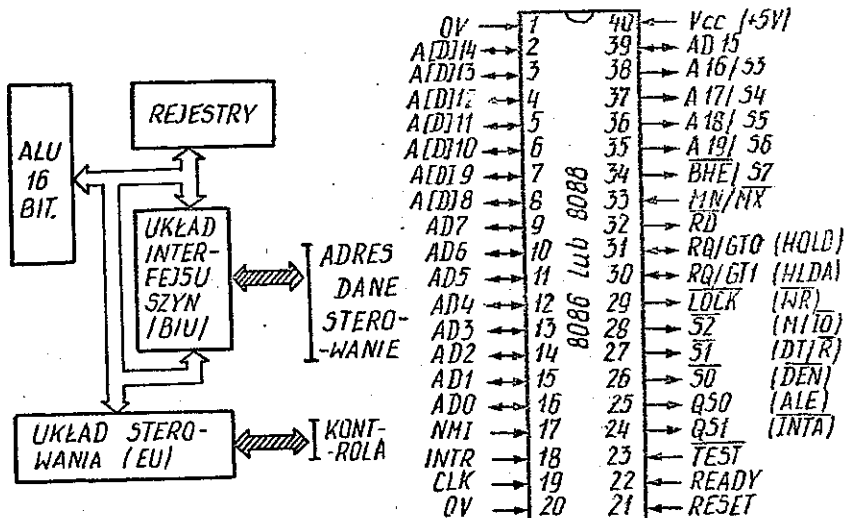
2.3.1. Wyprowadzenia układów

W zależności od typu procesora i konfiguracji pracy wyprowadzenia układów pełnią następujące funkcje:

MN/MX: określa konfigurację pracy układu. W konfiguracji

x/ Wersjami procesora 8086, o większym stopniu scalenia i rozszerzonych funkcjach są układy 80186 i 80286. Procesorem 32-bitowym, realizującym funkcje układu 8086 również dla danych 4-bajtowych, jest układ 80386. Posiadają one obudowę kwadratową o 48 końcówkach. W ZSRR jest produkowany odpowiednik procesora 8086 pod nazwą K1810NV86.

minimalnej /"1"/ układ sam generuje sygnały sterujące, których nazwy podano w nawiasach. W konfiguracji maksymalnej /"0"/, przewidzianej dla pracy wieloprocesorowej, sygnały sterujące wysyła kontroler systemu - 8288 - na podstawie informacji wysyłanych przez procesor.



Rys. 26. Schemat blokowy i wyprowadzenia CPU układów 8086 i 8088.

AD \emptyset ... AD15 - dla procesora 8086: wejścia-wyjścia 3-stanowe adresów i danych. Na liniach tych podczas taktu T1 wystawiany jest adres, a podczas taktów T2, T3, T_w i T4 dane. Gdy linia A \emptyset jest w stanie niskim, adresowany jest niższy bajt /linie D \emptyset ... D7/ pamięci /p. Organizacja pamięci/ lub układu wejścia-wyjścia. Wyższy bajt /linie D8 ... D15/ adresuje linia BHE.

Dla procesora 8088: AD \emptyset ... AD7 to wejścia-wyjścia 3-stanowe, na których podczas taktu T1 wystawiana jest młodsza część adresu, a podczas T2, T3, T_w i T4 - dane 8-bitowe. Na liniach AD8 ... AD15 jest wystawiana starsza część adresu pamięci lub wejścia-wyjścia.

A16/S3 ... A19/S6: 3-stanowe wyjścia adresu i statusu

procesora. Przy współpracy z pamięcią, podczas taktu T1 jest wystawiany adres, a przy urządzeniach wejścia-wyjścia stan "0". Podczas taktów T2, T3, T4 i T4 wystawiany jest status procesora. Linia S6 jest w stanie niskim "0", S5 odzwierciedla bit zezwolenia na przerwania - uaktualniany na początku każdego cyklu, a S4 i S3 określają rejestr użyty przy adresowaniu.

S4	S3	
0	0	rejestr segmentu dodatkowego,
0	1	rejestr stosu,
1	0	rejestr kodu rozkazu lub żaden,
1	1	rejestr danych.

BHE/S7: 3-stanowe wyjście adresowe procesora 8086 i statusów. Podczas taktu T1 - dla układu 8086 - stan niski "0" BHE określa, że adres na liniach A1 ... A19 dotyczy wyższego /linie D8 ... D15/ bajtu pamięci lub urządzenia wejścia-wyjścia. Jeśli $A_0=0$ i BHE=0, to transmitowane jest słowo 16-bitowe na liniach AD \emptyset ... AD15/. W czasie taktów T2, T3, T4 jest przesyłany stanem niskim "0" sygnał niedostępności linii procesora.

RD: 3-stanowe wyjście, na którym stan "0" podczas T2, T3 T4 wskazuje, że linie danych są ustawione na czytanie informacji z pamięci lub urządzeń wejścia-wyjścia. Gwarantuje stan "izolacji" na liniach podczas przełączania kierunku transmisji.

READY: "gotowość danych". Sygnał na wejściu stanem "1" potwierdza wykonanie operacji przez pamięć lub urządzenie wejścia-wyjścia. Synchronizowany przez układ generatora 8284A.

INTR: wejście przerwania maskowalnych. Próbkowany ostatnim taktom zegara każdej instrukcji. Gdy "1" i ustawione programowo zezwolenie na przerwanie, program przechodzi do jego obsługi. Urządzenie zewnętrzne dostarcza 8-bitowy wektor przerwania na liniach D \emptyset ... D7.

TEST: wejście, którego stan jest sprawdzany na początku cyklu w przypadku realizacji przez procesor instrukcji WAIT.

Stan niski "0" o czasie trwania minimum 5 taktów zegara wy-
 prowadzi procesor ze stanu oczekiwania /obsługa przerwania
 nie powoduje wyjścia ze stanu WAIT/.

NMI: wejście przerwania niemaskowalnych. Przerwanie jest wy-
 zwalane zmianą stanu z niskiego "0" na wysoki "1", o czasie
 trwania minimum dwa taktów i inicjuje jego obsługę na końcu
 bieżącej instrukcji. Adres obsługi przerwania odpowiada wek-
 torowi o numerze 2.

RESET: stan wysoki na wejściu, trwający minimum cztery
 takty zegara, kończy aktywność procesora. Restart od adresu
 FFFF_H następuje po zmianie stanu na wejściu na niski "0".

CLK: Sygnał taktujący na tym wejściu dostarcza podstawo-
 wych taktów dla procesora i kontrolera. Ze względu na opty-
 malizację czasów trwania procesów wewnętrznych mikroproce-
 sora, sygnał powinien być asymetryczny o wypełnieniu 33%.

SYGNAŁY DLA KONFIGURACJI MINIMALNEJ /na rys. 26 w nawia-
 sach/
 $\overline{MN}/\overline{MX} = V_{cc}$.

M/ \overline{IO} : Stan wysoki na wyjściu określa współpracę z pamię-
 cią, a stan niski "0" - z urządzeniem wejścia wyjścia.

\overline{WR} : Niski stan wyjścia wskazuje, że CPU realizuje instruk-
 cję pisania do pamięci lub urządzenia wejścia-wyjścia. Jest
 aktywny podczas taktów T₂, T₃ i T_w.

\overline{INTA} : strob czytania wektora przerwania przy obsłudze prze-
 rwania. Aktywny /niski stan "0"/ podczas taktów T₂, T₃ i T_w
 obu cykli obsługi przerwania.

ALE: sygnał wyjściowy dostarczany przez procesor dla wpi-
 su - opadającym zboczem - adresu z linii A₀ ... A₁₉ do bufo-
 ra pamięciowego, podczas taktu T₁. Nie ustawiany w stan "izo-
 lacji".

DT/ \overline{R} : wyjście "nadawaj-odbieraj". Sygnał wykorzystywany,
 gdy używa się wzmacniaczy szyny /np. 2886/ - dla przeięzania
 kierunku przepływu danych.

\overline{DEN} : wyjście "dostęp do danych". Sygnał aktywny /stan ni-
 ski "0"/ dla czytania i obsługi przerwania od środka taktu T₂
 do środka T₄, a dla pisania od początku T₂ do środka T₄ pod-

czas cyklu pamięci, wejścia-wyjścia, przerwań, wykorzystywany jako sygnał ENABLE dla układu 8286.

HOLD: wejście, stanem "1" żądające od CPU ustawienia szyny adresów/danych i linii sterujących w stan wysokiej impedancji dla sterowania nimi przez inne urządzenie.

HLDA: wyjście potwierdzające stanem wysokim "1" ustawienie linii w stan wysokiej impedancji. Przebiegi czasowe dla tej konfiguracji pokazano, na rys. 27.

SYGNAŁY DLA KONFIGURACJI MAKSYMALNEJ..

$\overline{MN}/\overline{MX} = 0 \text{ V}$

\overline{LOCK} : stan niski "0" wyjścia wskazuje, że inny system nie może mieć dostępu do szyn interfejsu. Ustawiany jest instrukcją "LOCK" i pozostaje aktywny do zakończenia realizacji następnej instrukcji.

$S\emptyset$, $S1$, $S2$: wyjścia sterujące współpracą CPU

S2	S1	$S\emptyset$	
0	0	0	potwierdzenie przerwania,
0	0	1	czytanie wejścia-wyjścia,
0	1	0	pisanie do wejścia-wyjścia,
0	1	1	czekaj /HALT/,
1	0	0	pobieranie kodu instrukcji,
1	0	1	czytanie z pamięci,
1	1	0	pisanie do pamięci,
1	1	1	pasywny.

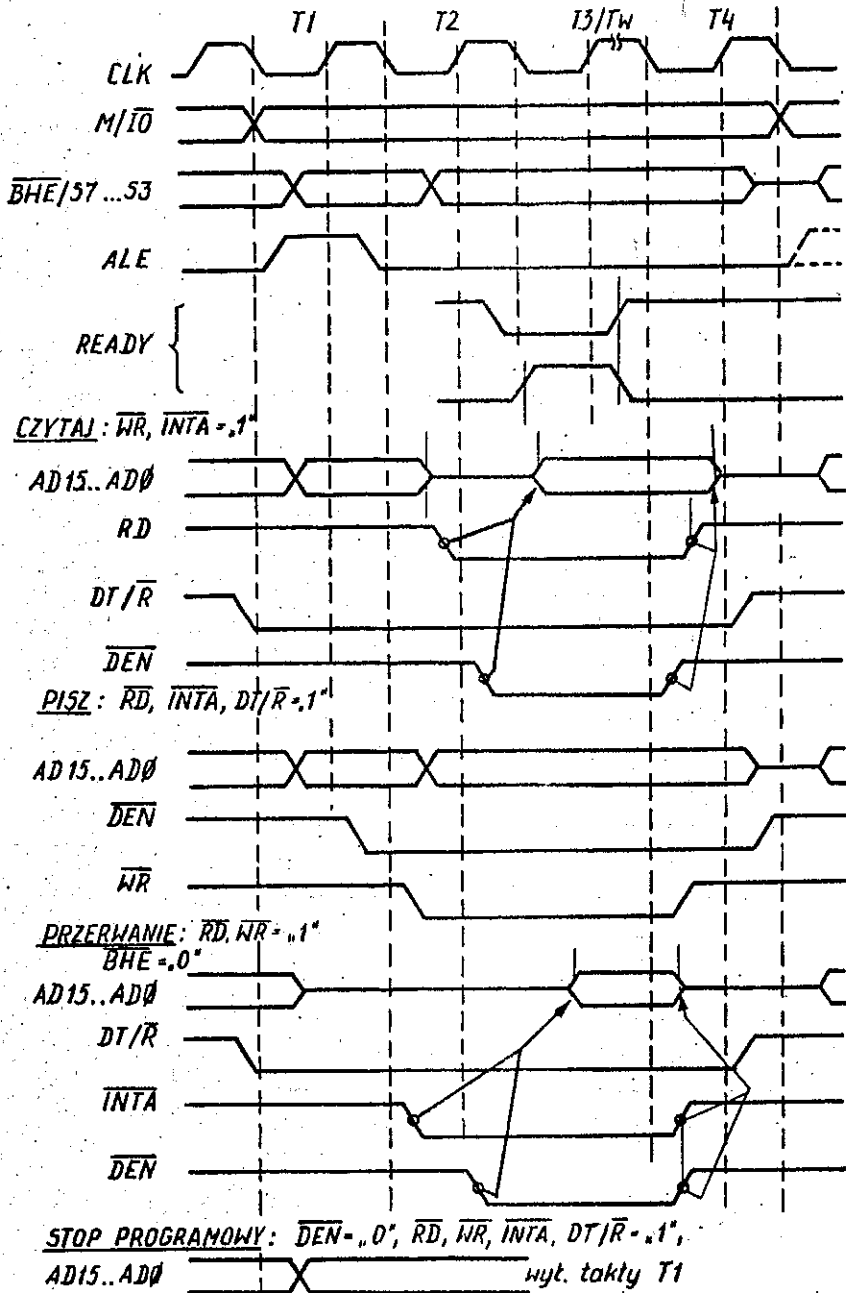
Stan wyjść jest aktywny do końca taktu $T4$ i powraca do stanu pasywnego podczas taktu $T3$ lub Tw /gdy linia READY jest w stanie wysokim/, wykorzystywany przez układ kontrolera 8288 do generowania sygnałów sterujących w systemie.

$QS\emptyset$, $QS1$: wyjścia "stanu kolejki", dostarczające informacji o stanie kolejki instrukcji procesora. Informacja jest ważna podczas taktu CLK, po którym wykonywana jest operacja.

Znaczenie $QS1$, $QS2$:

0 0: bez operacji,

0 1: pobrany pierwszy bajt kodu operacji,



Rys. 27. Przebiegi czasowe dla konfiguracji minimalnej

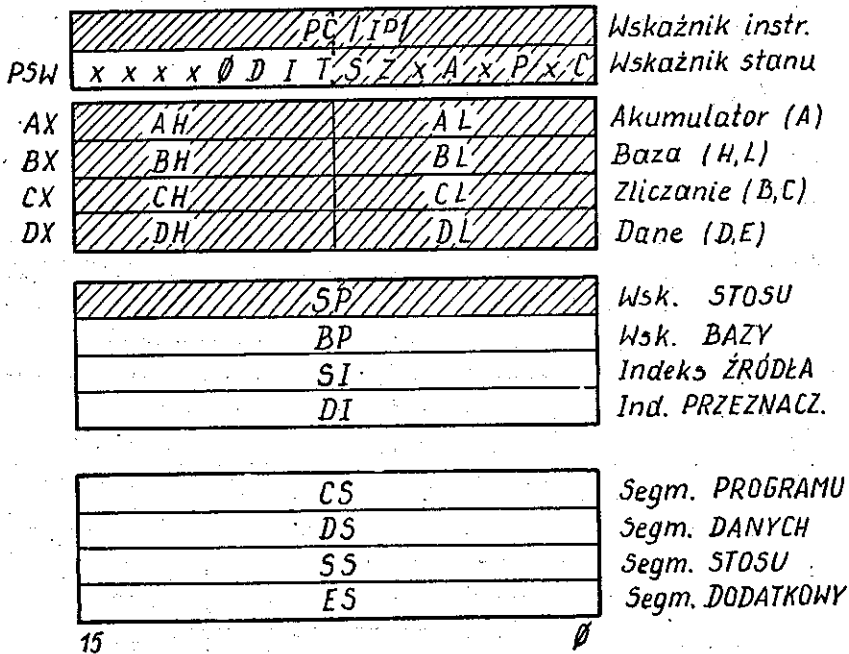
1 0: pobrany bajt opóźniający kolejkę,

1 1: pobrany kolejny bajt z kolejki.

RQ/GT \emptyset , RQ/GT1: dwustanowe, dwukierunkowe, z wewnętrznym rezystorem, końcówki żądania-przyznania szyn interfejsu. Używane są do wymuszenia zwolnienia lokalnych szyn interfejsu przez CPU dla innego układu. RQ/GT \emptyset ma wyższy priorytet.

2.3.2. Rejestry CPU

Procesor zawiera trzy grupy rejestrów 16-bitowych, 16-bitowy licznik rozkazów IP i rejestr znaczników stanu /F/, co pokazano na rysunku 28.



Rys. 28. Rejestry "8086/88". Zakreskowane rejestry odpowiadają funkcjom rejestrów "8080A/85"

1. Rejestry uniwersalne AX, BX, CX i DX mogą uczestniczyć w operacjach arytmetycznych i logicznych w sposób równorzędny,

choć najkrótsze rozkazy uzyskuje się z wykorzystaniem akumulatora AX. Przy działaniach na danych 8-bitowych można niezależnie wykorzystywać "górne" lub "dolne" bajty. Przy operacjach łańcuchowych rejestr AX pełni funkcję akumulatora, BX - bazy, CX - licznika, a DX - danych.

2. Rejestry indeksowe to wskaźnik stosu /SP/ oraz trzy /BP, SI, DI/ 16-bitowe rejestry wykorzystywane podczas operacji na ciągach bajtów.

3. Rejestry sterujące służą do sterowania pracą /PSW/ i adresowania pamięci podczas wykonywania programu /IP, CS, DS, SS i ES/.

Rejestr wskaźnika stanu PSW zawiera znaczniki:

AF: przeniesienie pomocnicze - gdy kod BCD,

CF: przeniesienie,

PF: parzystość,

SF: znak,

ZF: zero,

DF: kierunek,

IF: zezwolenie na przerwanie,

OF: nadmiar,

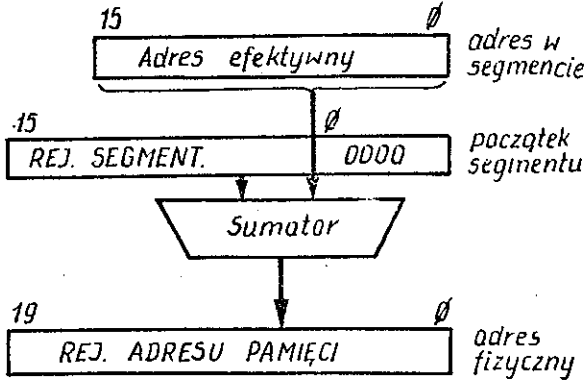
TF: pułapka - pojedynczy krok procesora.

2.3.3. Organizacja pamięci.

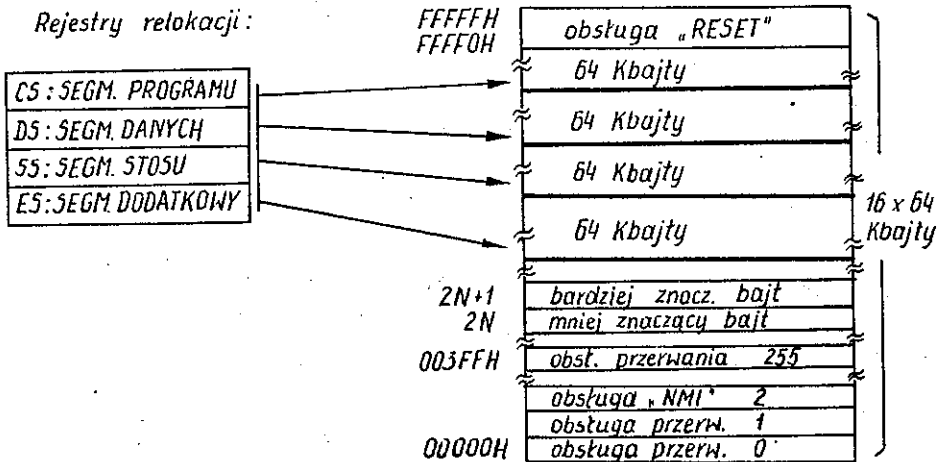
Procesor 8086 i 8088 ma 20-bitową szynę adresową, zapewniającą dostęp do pamięci o pojemności 1 048 576 bajtów. Ponieważ procesor manipuluje 16-bitowymi danymi, w sposób bezpośredni może adresować tylko 64 K bajty.

Dla rozszerzenia przestrzeni adresowej do 1 M bajta wprowadzono dodatkowe rozwiązanie adresowe. Adres bazowy pamięci traktowany jest jako numer segmentu o pojemności 64 K bajtów. Każdy segment rozpoczyna się od adresu podzielonego przez 16 - cztery najmniej znaczące bity są zerami. Zawartość czterech z tych segmentów jest adresowana w sposób natychmiastowy z wykorzystaniem rejestrów relokacji CS, DS,

SS i ES. 20-bitowy adres /rys. 29/ jest tworzony przez dodanie 16-bitowego adresu efektywnego do 20-bitowego adresu segmentowego. Rejestrami segmentowymi /relokacji/ może operować kilka instrukcji procesora.



Rys. 29. Sposób adresowania pamięci



Rys. 30. Organizacja pamięci

Wybrane lokacje pamięci /rys. 30/ mają określone przeznaczenie. Obszar od $FFFF0_H \dots FFFF_H$ to program realizowany po zerowaniu CPU sygnałem "RESET", a $00000_H \dots 003FF_H$ to tabli-

ca adresów efektywnych i zawartości rejestru CS /2 słowa/ początków programów obsługi przerwań programowych i zewnętrznych dla 256 wektorów przerwań.

Dla układu 8086 transmitowane równoległe 16-bitowe słowa, inaczej niż w 16-bitowych komputerach, mogą rozpoczynać się od parzystych /dane na linii D ϕ ... D7/ lub nieparzystych /dane na D8 ... D15/ adresów. Mniej znaczący bajt adresu lub danych umieszczony jest w niższej lokacji pamięci.

Układ interfejsu BIU przeprowadza jeden dostęp do pamięci, gdy słowo rozpoczyna się od adresu parzystego, a dwa - - gdy od nieparzystego.

Pamięć złożona z 512 K słów adresowanych przez linie A1 ... A19 jest zorganizowana jako "górny bajt" /D8 ... D15/ wybierany selektywnie sygnałem BIE i "dolny bajt" /D ϕ ... D7/ wybierany sygnałem A ϕ . Dane przy transmisjach blokowych są pobierane zawsze jako słowa i adresowane, gdy trzeba, wewnętrznie do poziomu bajtu.

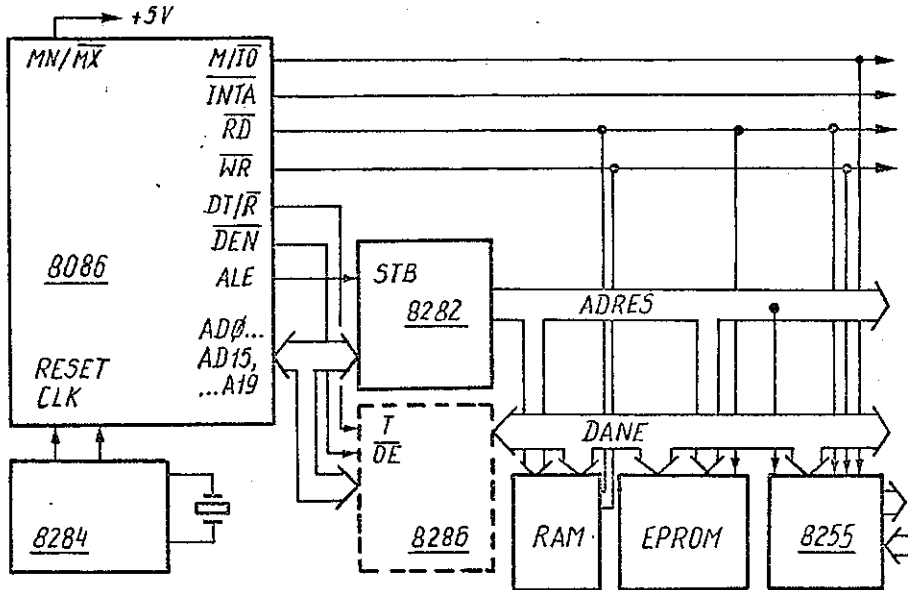
2.3.4. Operacje na szynach

CPU przesyła adresy i dane na wspólnej, multipleksowej szynie. W celu dostarczenia adresów do pamięci i układów wejścia-wyjścia, szyna musi być buforowana rejestrem.

1. W KONFIGURACJI MINIMALNEJ /rys. 31/ cykl ODCZYTU rozpoczyna CPU od umieszczenia adresu i sygnału ALE na szynach interfejsu. Koniec sygnału ALE wpisuje zawartość linii BIE i A ϕ ... A19 do pamięci buforowej /np. 8282/, wystawiany następnie na szynach adresowych. Podczas taktów T1 ... T4 sygnał M/ $\bar{I}O$ wskazuje, czy operacja dotyczy pamięci czy wejścia-wyjścia. Adres znika, a szyny przechodzą w stan wysokiej impedancji. Podczas T2 pojawia się sygnał \bar{RD} /czytaj/, przełączający kierunek transmisji wzmacniaczy szyny danych /np. 8286/. Procesor ustawia też linie \bar{DEN} /dostęp do danych/ i DT/ \bar{R} /nadawaj-odbieraj/.

Cykl ZAPISU procesor rozpoczyna również od przesłania adresu, sygnału ALE i M/ $\bar{I}O$. Podczas taktu T2, natychmiast za

adresem, pojawiają się dane przeznaczone do zapisu, utrzymywane do środka taktu T4. Na początku taktu T2 jest wystawiany sygnał \overline{WR} /pisz/.



Rys. 31. Konfiguracja minimalna z procesorem 8086

Dla procesora 8086 zaadresowany bajt wskazują sygnały \overline{BHE} i $A0$. Dla $\overline{BHE}=0$ i $A0=0$ transmitowane jest 16-bitowe słowo, gdy $\overline{BHE}=0$ i $A0=1$ - górny bajt /D8 ... D15/, a przy $\overline{BHE}=1$ i $A0=0$ - dolny.

2. W KONFIGURACJI ZŁOŻONEJ kontroler systemu 8288 pośredniczy przy współpracy z pamięciami buforowymi adresu i wzmacniaczami szyn. Sygnały \overline{ALE} , \overline{DEN} i $\overline{DT/R}$ generowane są przez kontroler. Stany wyjść S0, S1 i S2 procesora dostarczają informacji o typie cyklu dla 8288. Kontroler 8288 dostarcza dwa typy strobów pisania: "normalny", gdy dane są ustalone i "zaawansowany" przy nieustalonych danych na początku strobu.

3. OPERACJE WEJŚCIA-WYJŚCIA. Procesor 8086/8088 daje możliwość adresowania 64 K bajtów lub 32 K słów rejestrów wejścia-wyjścia, przy użyciu rejestru indeksowego "DX". Adresa-

oja bezpośrednia może obejmować 256 rejestrów 16-bitowych lub 8-bitowych. Adresy urządzeń są przekazywane analogicznie jak dla pamięci - podczas taktu T₁. Z reguły 8-bitowe rejestry urządzeń zewnętrznych korzystają z "dolnego" bajtu danych, przekazywanego na liniach D₀ ... D₇.

2.3.5. Przerwania i zatrzymanie pracy

1. PRZERWANIA NIEMASKOWALNE. Przerwanie NMI ma najwyższy, po przerwaniach programowych, priorytet i jest wykorzystywane do sygnalizowania CPU sytuacji awaryjnych /np. zanik zasilania, błąd parzystości pamięci, dzielenie przez zero - z koprocesora/. Adres obsługi przerwania jest umieszczony pod numerem "2" tablicy obsługi przerwania. Przerwanie obsługiwane jest po zakończeniu instrukcji lub pomiędzy przejściami pętli instrukcji "blokowej". Najdłuższe oczekiwanie na obsługę występuje podczas realizacji instrukcji mnożenia i dzielenia /maksimum 191 taktów zegara/.

2. PRZERWANIA MASKOWALNE. CPU ma pojedyncze wejście przerwania INTR maskowane stanem bitu rejestru PSW. Sygnał przerwania /wysoki poziom/ musi być obecny na końcu taktu zegarowego CLK, poprzedzającego koniec bieżącej instrukcji lub instrukcji "blokowej" i jest wpisywany zboczem opadającym sygnału taktującego. Podczas obsługi przerwania, dalsze nie są przyjmowane. Bit zezwolenia rejestru PSW jest zerowany podczas potwierdzenia przyjęcia przerwania INTR, NMI, przerwania programowego lub pracy krokowej, chociaż rejestr stanu PSW przesyłany automatycznie na stos odzwierociedla stan sprzed przerwania. Bit ten może być zmieniony odpowiednią instrukcją. Instrukcja powrotu z przerwania "INTERRUPT RETURN" przywraca stan poprzedni w PSW.

3. SYNCHRONIZACJA POPRZEZ "TEST". Wejście CPU "TEST" wykorzystane może być jako alternatywa przerwania i podstawowych funkcji wejścia-wyjścia. Przy stanie wysokim na wejściu TEST, podczas wykonywania instrukcji "WAIT", program zostaje za-

wieszony i procesor czeka na zmianę stanu, nie zajmując szyn interfejsu. Przyjęcie przerwania powoduje zapamiętanie instrukcji "CZEKAJ" i kontynuowanie jej realizacji po powrocie z obsługi przerwania.

4. PRZERWANIA PROGRAMOWE - o najwyższym priorytecie, realizuje instrukcja "INT". Podobnie jak przy przerwaniach zewnętrznych, na stos odsyłany jest licznik rozkazów, wskaźnik stanu "PSW" i zawartość rejestru "CS" - zastępowane odpowiednimi danymi pobranymi z tablicy wektorów przerwania. Obsługa przerwania zajmuje 52 takty zegara.

5. INSTRUKCJA STÓJ "HALT" powoduje wysłanie statusu HALT, a procesor oczekuje na przerwanie lub sygnał RESET. Stan "HALT" opuszczany jest na czas żądania zwolnienia szyn interfejsu.

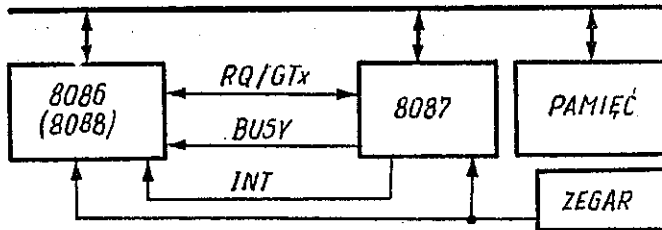
6. BLOKADA SZYN INTERFEJSU, sygnalizowana sygnałem LOCK, realizowana jest wówczas, gdy trzeba zablokować dostęp do szyn interfejsu dla innego procesora - na czas realizacji instrukcji, najczęściej blokowej transmisji danych. Stan aktywny ustawiany jest taktem zegara następującym po zdekodowaniu 1-bajtowej instrukcji "LOCK" i jest kończony po zrealizowaniu następnej instrukcji. W tym czasie wszystkie przerwania są przyjmowane, lecz nie są realizowane.

2.3.6. Rozszerzanie możliwości arytmetycznych systemu

Rozszerzanie możliwości arytmetycznych procesorów 8086 i 8088 zapewnia koprocesor numeryczny 8087 /rys. 32/, który wykonuje operacje i oblicza funkcje elementarne w zakresie $10^{-308} \dots 10^{308}$ z dokładnością 17 cyfr znaczących. Wykonywane operacje to: dodawanie, odejmowanie, mnożenie i dzielenie wykonywane w czasie - odpowiednio - 14 μ s, 18 μ s, 19 μ s i 30 μ s. Układ oblicza funkcje: pierwiastka kwadratowego /39 μ s/, tangens /90 μ s/, arcs tangens, "e" do potęgi /100 μ s/, logarytm dwójkowy.

Przy wykonywaniu TEGO SAMEGO programu układy 8086/8088 i 8087 ściśle ze sobą współpracują. Kolejne rozkazy wskazy-

wane są przez licznik PC /IP/ procesora. Po napotkaniu rozkazu przeznaczonego dla "8087", CPU zawiesza pracę i czeka na jego wykonanie.



Rys. 32. Współpraca CPU z koprocesorem

Koprocesor, o strukturze podobnej do CPU, taktowany tym samym sygnałem, ignoruje wszystkie rozkazy przeznaczone dla procesora. Po napotkaniu przeznaczonego dla siebie rozkazu - inicjuje wykonanie operacji w jednostce numerycznej. Układ 8087 zawiera 8 rejestrów 80-bitowych. Odczyt argumentu lub zapis wyniku do pamięci realizuje koprocesor, traktowany przez CPU jak układ DMA. Współpracę zapewniają sygnały na linii RQ/GTx.

2.3.7. Instrukcje mikroprocesora

Lista rozkazów procesorów 8086 i 8088 obejmuje:

- przesyłanie /MOV/ i wymianę /XCHG/ danych 8- i 16-bitowych pomiędzy rejestrami i obszarami pamięci, działania na stosie /PUSH, POP/;
- współpracę z urządzeniami wejścia /IN/ i wyjścia /OUT/;
- arytmetykę 8- i 16-bitową na liczbach całkowitych ze znakiem i bez, w tym dodawanie /ADD/, odejmowanie /SUB/, mnożenie /MUL/, dzielenie - liczb 32-bitowych - /DIV/ i porównanie /CMP/ oraz operacje logiczne;
- przywracanie postaci dziesiętnej lub kodu ASCII przy operacjach arytmetycznych;

- przesuwanie zawartości rejestrów lub pamięci o zadaną liczbę bitów;
- manipulację łańcuchami /REP/ przy przesyłaniu /MOV/, porównaniu /CMP/, przeglądaniu /SCA/ słów lub bajtów w pamięci;
- bezwarunkowe i warunkowe skoki /JMP/, wywołania podprogramów /CALL/, przerwania /INT/;
- sterowanie procesorem i ustawianie znaczników rejestru PSW.

3. MIKROKOMPUTERY PERSONALNE

Mikrokomputer to system elementów elektronicznych wielkiej skali integracji wraz z oprogramowaniem, umożliwiający przetwarzanie danych.

Konfiguracja mikrokomputera, nawet wykorzystującego ten sam mikroprocesor, zależy od jego przeznaczenia i może być bardzo różna. Mikrokomputer, przeznaczony do realizacji prostych funkcji sterujących w systemie automatyki, może zawierać niewielką pamięć programu ROM oraz porty współpracujące z czujnikami i elementami wykonawczymi. Natomiast mikrokomputer uniwersalny musi posiadać dużą pamięć RAM i ROM, pamięci zewnętrzne /np. dyski/, urządzenia do współpracy z operatorem /np. klawiaturę i monitor/ oraz system operacyjny, umożliwiający łatwe uruchamianie i wykonywanie programów użytkownika.

Uniwersalne MIKROKOMPUTERY PERSONALNE /personal computers/, które po erze komputerów /lata sześćdziesiąte/ i minikomputerów /lata siedemdziesiąte/ opanowały rynek, łączą w sobie dwie podstawowe cechy:

- parametry użytkowe zestawu sprzętowego i oprogramowania odpowiadają, dzięki zastosowaniu układów wielkiej skali integracji, wymogom niezawodności, precyzji obliczeń, szybkości działania oraz wygody transportu i obsługi;
- cena zestawów, wraz z podstawowym sprzętem uzupełniającym

i oprogramowaniem użytkowym jest na tyle niska, że mogą służyć do usprawniania pracy i dostarczenia rozrywki dla indywidualnego użytkownika.

Najtańsze mikrokomputery personalne, to mikrokomputery domowe, przeznaczone głównie do realizacji "gier graficznych", wykorzystujące jako urządzenia zewnętrzne magnetofon i telewizor kolorowy. Droższe i najdroższe, to mikrokomputery do zastosowań profesjonalnych, współpracujące z monitorami, dyskami, drukarkami i ploterami - wieloma parametrami przewyższające duże komputery wytwarzane przed dziesięciu laty.

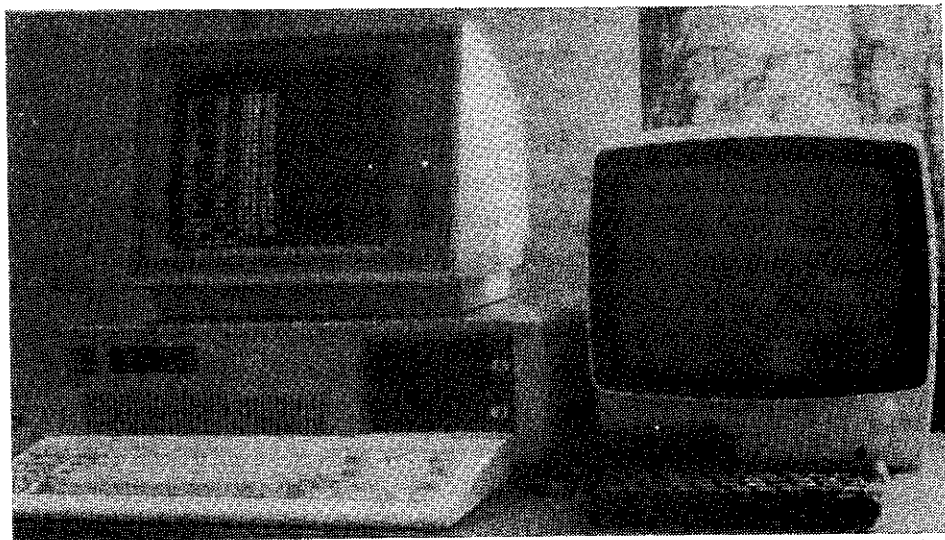
Kolebką mikrokomputera personalnego jest Kalifornia, gdzie Stephan Wozniak - Amerykanin polskiego pochodzenia - w 1976 roku skonstruował model o nazwie "APPLE", z mikroprocesorem Motorola 6502. W ciągu zaledwie kilku lat mikrokomputery te zyskały wielkie powodzenia w całych Stanach Zjednoczonych, Europie Zachodniej, Azji i Australii.

Każdy mikrokomputer personalny jest zbudowany w zasadzie z takiego samego zestawu elementów:

- mikroprocesora,
- pamięci wewnętrznej,
- układów organizujących współpracę z urządzeniami wejścia-wyjścia,
- klawiatury,
- monitora,
- masowej pamięci zewnętrznej.

W mikrokomputerach domowych są wykorzystywane z reguły mikroprocesory 8-bitowe /bezsprzecznie dominują dwa typy: ZILOG Z80A i Motorola 6502/, a w mikrokomputerach do zastosowań profesjonalnych procesory 16- i 32-bitowe /przede wszystkim Intel 8088, Intel 80286 oraz Motorola 68000/.

Standard, według którego ocenia się obecnie jakość oraz możliwości całego sprzętu i oprogramowania, dla mikrokomputerów domowych wyznacza "ZX SPECTRUM", a dla mikrokomputerów do zastosowań profesjonalnych - "IBM PC" /rys. 33/.



Rys. 33. Zestaw mikrokomputera "IBM PC" oraz mikrokomputer "ZX SPECTRUM" z telewizorem i magnetofonem

3.1. Mikrokomputery domowe "ZX"

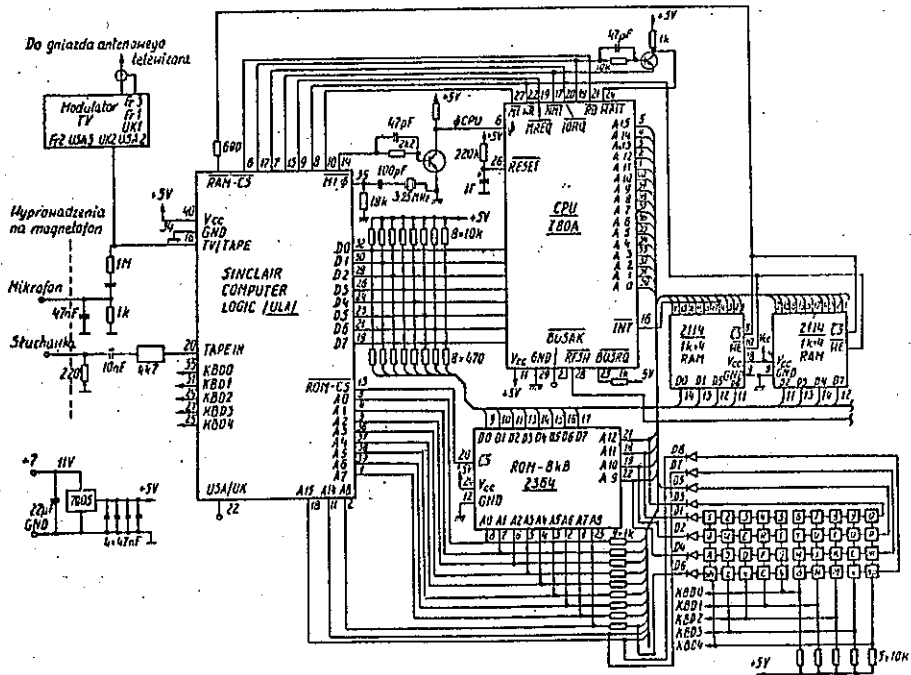
Wprowadzony w lutym 1980 roku przez brytyjską firmę Sinclair Research mikrokomputer "ZX 80", a później "ZX 81" - stał się istotnym składnikiem "rewolucji mikroelektronicznej". Rewelacją była niska cena - poniżej 100 funtów - i produkcja ponad miliona egzemplarzy. Konstrukcja, w której wszystkie elementy mieszczą się w obudowie niewielkiej klawiatury, wykorzystanie telewizora jako monitora, a typowego magnetofonu jako pamięci zewnętrznej i kaset do przenoszenia programów - stały się wzorem dla kolejnych rozwiązań mikrokomputerów domowych^{x/}.

^{x/} W kraju produkuje się, kompatybilne programowo z mikrokomputerem "ZX SPECTRUM", mikrokomputery "POLBRIT" i "ELWRO 800 JUNIOR".

3.1.1. Mikrokomputer "ZX 81"

Mikrokomputer domowy "ZX 81" /rozpowszechniany swego czasu w Polsce przez firmę Ameprod/, zawiera mikroprocesor Z80A-CPU, pamięć ROM o pojemności 8 Kbajtów z zapisanym systemem operacyjnym, pamięć statyczną RAM 1 Kbajt oraz specjalizowany układ ULA, pełniący funkcje sterujące i koordynujące dla elementów systemu. Mikroprocesor zapewnia grafikę obrazu monochromatycznego o rozdzielczości 44 x 64 punkty lub zobrażowanie kodów 64 znaków, wyświetlanych w 22 wierszach po 32 znaki. Programy użytkowe są wczytywane do pamięci RAM z magnetofonu kasetowego dowolnego typu.

Schemat ideowy mikrokomputera przedstawiono na rysunku 34.



Rys. 34. Schemat ideowy mikrokomputera "ZX 81"

3.1.2. Mikrokomputer "ZX SPECTRUM"

Mikrokomputer "ZX SPECTRUM" i jego modyfikacje "ZX SPECTRUM +" oraz "ZX SPECTRUM 128" to najpopularniejsze obecnie komputery domowe. Ich konstruktorom udało się pogodzić niską cenę z dużymi możliwościami funkcjonalnymi. Wartości dodaje im niesłychanie bogata biblioteka programów dostępnych na rynku, z których wiele zaskakuje wysoką jakością. Mimo że ich podstawowym przeznaczeniem jest rozrywka i edukacja, istnieje wiele przykładów zastosowań profesjonalnych.

Dzięki rozwiązaniom graficznym istnieje możliwość niemal całkowitego odejścia od wyników liczbowych realizowanych programów i prezentacji rezultatów w formie graficznej. Wygodne programowanie zapewnia interpreter języka Basic, umieszczony w pamięci ROM.

Budowa:

- Wymiary: 233 x 144 x 30 mm.
- Procesor: Z80A-CPU; 3,75 MHz.
- Pamięć wewnętrzna: 16 K bajtów ROM i 48 K bajtów pamięci dynamicznej RAM /dla "ZX SPECTRUM 128" dodatkowo 64 K bajty/.
- Wyświetlanie informacji: 36 kanał telewizyjny, obraz barwny w systemie PAL. Ekran reprezentowany jest w pamięci jako mapa bitowa 256 x 192 punkty /pixele/; dla każdego kwadratu 8 x 8 punktów można określić barwę tła i obrazu, wybrane spośród ośmiu możliwych. Teksty i grafika mogą na ekranie dowolnie się przeplatać.
- Klawiatura: 40 klawiszy, z których każdy ma pięć znaczeń odpowiednio przełączanych; wszystkie słowa kluczowe języka Basic i funkcje znajdują się na poszczególnych klawiszach.
- Dźwięk: jednokanałowy generator dźwięku obejmujący 10 oktaw, sterowany instrukcją języka Basic, dźwięk odtwarzany przez wewnętrzny głośnik.
- Rozszerzanie: wyprowadzone złącze telewizora, magnetofonu i pełnej szyny mikroprocesora; dołączanie urządzeń dodat-

kowych /drukarka, dysk, mikrodrive/ za pośrednictwem odpowiedniej przystawki.

3.2. Mikrokomputer "ELWRO 700" /SOLUM/

Mikrokomputer "SOLUM" serii "ELWRO 700" jest zrealizowany z wykorzystaniem mikroprocesora UB 880D /odpowiednika ZILOG Z80-CPU produkcji NRD/. Posiada klawiaturę w układzie QWERTY z alfabetem polskim oraz opisami instrukcji i funkcji standardowych języka Basic.

Mikrokomputer współpracuje z dowolnym odbiornikiem telewizyjnym na III zakresie OIRT. Przewidziane są dwie wersje organizacji ekranu TV:

- wersja semigraficzna, w której ekran podzielony jest na 24 wiersze po 32 znaki alfanumeryczne i graficzne,
- wersja graficzna z ekranem podzielonym na 196 linii po 256 punktów.

Do mikrokomputera można przyłączyć drukarkę mozaikową "D 100". Przechowywanie programów i danych odbywa się za pomocą magnetofonów powszechnego użytku. Posiada łącze szeregowe V.24 i może być wyposażony w styk S2, co pozwala na tworzenie lokalnych sieci.

Budowa:

- Wymiary: 450 x 320 x 90 mm.
- Procesor: Z80-CPU /UB 880D/.
- Pamięć wewnętrzna: 8 K bajtów ROM i 16 K bajtów RAM dla wersji semigraficznej oraz 12 K bajtów ROM i 32 K bajty RAM dla graficznej.
- Wyświetlanie: na ekranie telewizora monochromatycznego.
- Klawiatura: podobna jak w "ZX SPECTRUM".
- Rozszerzanie: drukarka i łącze V.24.

3.3. Mikrokomputer domowy "Commodore C-128"

Mikrokomputer "Commodore C-128" pojawił się na rynku w 1985 roku. Ma dwie wersje konstrukcyjne: w pierwszej wspólna obudowa zawiera klawiaturę oraz pakiet elektroniki, z dołączonym monitorem i stacją dysków 5 1/4 cala, a w drugiej zintegrowana obudowa mieści elektronikę i stację dysków, z dołączoną klawiaturą - jak dla zestawów profesjonalnych.

Pakiet elektroniki wyposażony jest w dwa mikroprocesory Z80-CPU i 8502, posiadające równouprawniony dostęp do wszystkich elementów systemu.

Mikrokomputer umożliwia pracę w trzech trybach. W pierwszym symuluje całkowicie wcześniejszy model "Commodore C-64". W drugim trybie mikroprocesor Z80 pracuje w systemie CP/M 3.0. Największe możliwości ma "C-128" w podstawowym, trzecim trybie - język Basic dysponuje wtedy pamięcią RAM 119 K bajtów. Bardzo bogata lista rozkazów wspiera programowanie strukturalne i w pełni wykorzystuje sprzętowe możliwości muzyczne oraz graficzne. Na ekranie można tworzyć "okna", a do wprowadzania prostych programów wykorzystywać monitor kodu maszynowego. Cena mikrokomputera wynosi około 300 dolarów USA.

Budowa:

- Procesor: Z80A-CPU, /4 MHz/ i 8502 /odpowiednik 6502 Motorola/.
- Pamięć wewnętrzna: 64 K bajty ROM i 128 K bajtów RAM /z możliwością rozbudowy do 512 K bajtów/.
- Wyświetlanie informacji: kontroler graficzny "VIC" /jak w "C-64/ oraz układ "8563", co daje możliwość niezależnego wyświetlania informacji na dwu monitorach. Obraz w 16 barwach o rozdzielczości 640 x 200 punktów lub 25 wierszy po 80 znaków tekstu, wyświetlany jest na dołączanym telewizorze lub monitorze.
- Klawiatura: kontaktronowa z wydzielonym blokiem klawiszy funkcyjnych i numerycznych.

- Dźwięk: syntetyzer dźwięku "SID", umożliwiający generowanie komunikatów słownych.
- Pamięć masowa: jednostka napędowa dysku elastycznego 5 1/4 cala.
- Rozszerzanie: wszystkie urządzenia peryferyjne produkowane dla "C-64"

3.4. Mikrokomputery firmy Amstrad

3.4.1. Mikrokomputer domowy "CPC6128"

Mikrokomputer domowy "CPC6128" to trzeci - po "CPC464" i "CPC664" - mikrokomputer firmy Amstrad o podobnych parametrach technicznych. Składa się z bloku klawiatury, mieszczącej też pakiet elektroniki i pamięć na 3-calowych dyskietkach /"CPC664" zawierał wbudowany magnetofon/ oraz bloku monitora z wbudowanym zasilaczem dla całego zestawu.

"CPC6128" wyposażony jest w procesor Z80A-CPU, wbudowany interpreter Basic'a i realizuje programy pod nadzorem systemu operacyjnego CP/M 3.0. Bardzo dobra grafika, szybki interpreter Basic'a i bogate oprogramowanie, stawiają go na pograniczu mikrokomputerów domowych i profesjonalnych. Wadą jest niepoprawna praca przy napięciu sieci poniżej 210 V /w Wielkiej Brytanii napięcie sieci wynosi 240 V/. Kosztuje około 300 funtów angielskich.

Budowa:

- Procesor: Z80A-CPU, 4 MHz.
- Pamięć wewnętrzna: 32 Kbajty ROM i 129 Kbajtów RAM - z czego dla interpretera Basic bezpośrednio dostępne są 64 Kbajty, a pozostała część może być wykorzystana do przechowywania czterech obrazów ekranu po 16 Kbajtów lub jako rodzaj dysku.
- Wyświetlanie informacji: na ekranie monitora barwnego lub monochromatycznego obraz graficzny z maksymalną rozdzielczością 640 x 200 punktów lub 25 wierszy tekstu po 20, 40

lub 80 znaków, przy liczbie przedstawianych barw odpowiednio 16, 4 i 2 /z palety 27/ dla każdego punktu ekranu.

- Klawiatura: typu maszyny do pisania, z wydzielonym blokiem numeryczno-funkcyjnym i sterowania kursorem ekranu.
- Dźwięk: trzy kanały siedmiooktawowe z szerokim zakresem sterowania, wyprowadzone na wzmacniacz stereo lub wbudowany głośnik.
- Pamięć masowa: wbudowana jednostka dysków elastycznych 3-calowych, o pojemności 170 Kbajtów; /nietypowa, bo standardem staje się 3,5 cala/.
- Rozszerzanie: wyprowadzone złącza do dodatkowej stacji dyskowej /np. 5 1/4 cala/, drukarki, magnetofonu /przegrywanie programów pisanych dla CPC464"/, wzmacniacza Hi-Fi, pióra świetlnego oraz złącze wzmocnionej szyny mikroprocesora.

3.4.2. Mikrokomputer do zastosowań profesjonalnych "PCW8256"

Jest to jedyny mikrokomputer profesjonalny - przeznaczony głównie do przetwarzania tekstów - z 8-bitowym mikroprocesorem. Sukces rynkowy gwarantują mu dwa czynniki: możliwości funkcjonalne i wyjątkowo atrakcyjna cena. Cały mikrokomputer mieści się w obudowie monitora. Niewielka płyta elektroniki zawiera jedynie: 8 układów pamięci dynamicznej RAM, procesor, kontroler drukarki, kontroler dysków, specjalizowany układ sterowania i 5 wzmacniaczy portów. Jako pamięć ROM, zawierającą program ładujący system z dysku, wykorzystuje się 256 bajtów pamięci zawartej w kontrolerze drukarki. Po prawej stronie ekranu znajduje się wbudowany napęd 3-calowych dysków o pojemności 170 Kbajtów i miejsce na drugi.

W obudowie jest umieszczone gniazdo klawiatury, drukarki i wyprowadzona szyna procesora.

Zintegrowanym elementem systemu jest drukarka, której mechanizm jest sterowany bezpośrednio przez procesor mikrokomputera. Dzięki takiemu rozwiązaniu wydruk zależy wyłącznie od programu /np. przy pracy z systemem CP/M funkcjonuje jak

"Epson FX80"/. Obok systemu CP/M 3.0 do dyspozycji jest program przetwarzania tekstów "Loco-Script" - przewyższający światowy standard, program Wordstar.

Zestaw złożony z klawiatury, monitora monochromatycznego i bardzo dobrej drukarki sprzedawany jest za 400 funtów angielskich. Nie działają na nim programy graficzne z innych modeli Amstrada.

Budowa:

- Procesor: Z80A-CPU, 4 MHz; system operacyjny CP/M Plus.
- Pamięć wewnętrzna: 256 K bajtów RAM i 256 bajtów ROM.
- Wyświetlanie: monitor monochromatyczny, 32 wiersze po 90 znaków /720 na 256 punktów/.
- Klawiatura: 82 klawisze, opisane do pracy z programem przetwarzania tekstów.
- Pamięć masowa: wbudowana jednostka dysków elastycznych 3-calowych o pojemności 170 K bajtów.

3.5. Mikrokomputery do zastosowań profesjonalnych rodziny "IBM PC"

"IBM PC" to najpopularniejsza nazwa mikrokomputera ostatnich 5 lat na świecie i ostatnich 2 lat w Polsce. Znanej i cenionej od lat firmy International Business Machines nie trzeba reklamować - jej systemy IBM 360, a następnie IBM 370 są rękojmią niezawodności, szybkości i doskonałego oprogramowania. Druga część nazwy - PC - Personal Computer jest nowością dla tej korporacji. Przez całą dekadę lat siedemdziesiątych wielu znawców zagadnienia zastanawiało się, dlaczego znana ze swej dynamiki IBM nie usiłuje wejść na rynek mini-komputerów i komputerów osobistych, rynek, który nagle się ukształtował i rozwijał z ogromną szybkością. Jednakże wprowadzenie pierwszego mikrokomputera IBM PC w 1981 r. jeszcze raz pokazało, iż znaczenie i wpływy IBM są tak wielkie, że jej systemy stają się standardem bez względu na osiągnięcia konkurentów. W ciągu bardzo krótkiego czasu komputery syste-

mu "IBM PC" zdominowały rynek mikrokomputerowy. Jednocześnie, ponieważ IBM odstąpiła od swej wieloletniej tradycji i opublikowała pełną dokumentację techniczną, pojawiło się wiele mikrokomputerów w pełni zgodnych^{x/} ze standardem "IBM PC", a produkowanych przede wszystkim w krajach Dalekiego Wschodu. Nawet tak poważne na rynku mikrokomputerowym firmy, jak "HP" i COMMODORE rozpoczęły produkcję modeli kompatybilnych z "IBM PC". W Polsce nazwa "IBM PC" jest nieco wyląca.

Mniemanie, iż "IBM PC" oznacza jeden typ mikrokomputera o uniwersalnych i "cudownych" własnościach, nie jest w pełni zgodne z prawdą - "IBM PC" to nazwa całej rodziny systemów mikroprocesorowych, z których tylko pierwszy chronologicznie nazywał się "IBM PC" - następne systemy i mutacje noszą rozszerzone oznaczenia i znacznie różnią się pomiędzy sobą.

3.5.1. "IBM PC" - IBM Personal Computer

Model "IBM PC" został wprowadzony do sprzedaży w sierpniu 1981 roku, stając się w bardzo krótkim czasie przebojem rynku mikrokomputerowego, a następnie swoistym rodzajem standardu na mikrokomputer profesjonalny. Ponad milion użytkowników spowodowało, iż w stosunkowo krótkim czasie firmy produkujące oprogramowanie stworzyły jedną z największych baz programowych dla tego komputera, przyczyniając się do jego dalszego upowszechnienia. Zastosowany 16-bitowy procesor dał możliwość tworzenia bardziej złożonego i przystępniejszego w obsłudze oprogramowania, niż miało to miejsce w systemach 8-bitowych. Udostępnienie dokumentacji technicznej umożliwiło innym producentom tworzenie dodatkowych modułów dla rozszerzania możliwości jego podstawowej wersji.

Mikrokomputer "IBM PC" ma budowę modułową. Płyta główna zawiera mikroprocesor 8088 i podstawkę dla koprocatora 8087,

x/ W Polsce wytwarzane są, kompatybilne programowo z "IBM PC" mikrokomputery "MAZOVIA" i "ELWRO 800".

układy pamięci ROM i dynamicznej RAM, układ DMA i CTC, kontrolery wejścia-wyjścia i pięć gniazd do dołączania dodatkowych kart. Stałym elementem jest zasilacz o mocy około 100 W oraz dołączana klawiatura.

Niezbędna do działania komputera jest karta współpracy z monitorem. Najprostsza, monochromatyczna, zapewnia wyświetlanie tekstu w 25 wierszach po 80 znaków. Karta grafiki barwnej pozwala na uzyskanie obrazu /na monitorze lub telewizorze/ w czterech z szesnastu barw, w rastrze 640 lub 320 na 200 punktów, lub 25 wierszy tekstu po 80 /40/ znaków. Grafikę o dużej rozdzielczości /720 na 348 punktów/ umożliwia monochromatyczna karta "Herkules". Największe możliwości /640 na 350 punktów, 16 spośród 64 barw/ daje karta barwna rozszerzona. Wykonywane programy muszą uwzględniać typ zastosowanej karty.

Kolejną niezbędną kartą jest kontroler dysków elastycznych 5 1/4 cala, realizujący zapis o podwójnej gęstości, w 9 sektorach po 512 bajtów na 80 ścieżkach. Współpracę z dyskami elastycznymi i twardymi typu "Winchester" zapewnia inna karta. Mechanizmy dysków mają identyczne wymiary i obudowa komputera może pomieścić cztery takie jednostki.

Inne karty, rozszerzające możliwości, mogą zawierać interfejsy drukarki, bateryjny zegar-kalendarz, przetworniki analogowo-cyfrowe, układy do tworzenia sieci mikrokomputerowych, rozszerzenia pamięci RAM.

Budowa:

- Procesor: Intel 8088, 4.77 MHz i podstawka koprocatora arytmetycznego 8087.
- Pamięć wewnętrzna: 40 Kbajtów ROM i 256 Kbajtów pamięci dynamicznej RAM; możliwa rozbudowa do 640 Kbajtów.
- Klawiatura: 83 klawisze, w tym 10 funkcyjnych i wydzielone pole klawiatury numerycznej, odłączalna z 2 m kablem, regulacja kąta ustawienia.
- Pamięć masowa: 360 Kbajtów - jednostka dysków elastycznych 5 1/4 cala z dwustronnym zapisem, możliwość rozbudowy do 4 napędów.

- Rozszerzenie: 5 gniazd na dodatkowe karty - dwa wykorzystane dla kontrolerów monitora i dysków elastycznych.

3.5.2. "IMB PC XT" - IBM Personal Computer eXTended

Wielu użytkowników systemu "IBM PC" bardzo szybko przekonało się, że praca przy użyciu dysków elastycznych jest dla dużych zbiorów zbyt wolna i uciążliwa. Stało się to motorem wprowadzenia wzbogaconego modelu "IBM PC XT", zawierającego 10 lub 20 Mbajłów pamięci na dysku sztywnym w miejsce jednego z dysków elastycznych, zwiększając całkowitą pamięć systemu do około 5000 stron tekstu.

Zamiast pięciu gniazd rozszerzających, zastosowano osiem gniazd umożliwiających dołączanie płyt o mniejszej grubości niż dla "IBM PC". Zasilacz sieciowy został rozbudowany do 130 W.

Dostarczony system operacyjny PC DOS 2.1 umożliwia tworzenie hierarchicznej struktury zbiorów na podstawie katalogów zarówno dla dysku elastycznego, jak i sztywnego. Dłuższe użytkowanie systemu prowadzi do nieuchronnego wniosku, że 10 Mbajłów pamięci to wcale nie jest tak dużo, jak to się początkowo wydawało.

Budowa:

- Procesor: Intel 8088, 4,77 MHz; wersja Turbo - procesor 8086-8 MHz lub procesor 80186; podstawka dla koprocatora 8087.
- Pamięć wewnętrzna: 40 Kbajłów ROM, 256 Kbajłów pamięci dynamicznej RAM standard, rozszerzalne do 640 Kbajłów na płycie procesora lub dodatkowej karcie.
- Klawiatura: jak dla modelu "IMB PC".
- Pamięć masowa: dysk sztywny 10 Mbajłów oraz jednostka dysku elastycznego 360 Kbajłów, 5 1/4 cala; możliwość zainstalowania 2 dysków sztywnych i 2 elastycznych.
- Rozszerzanie: 8 gniazd na dodatkowe karty - trzy wykorzystane na sterowniki złącza szeregowego, kontroler monitora oraz kontroler dysków elastycznych i dysku sztywnego.

3.5.3. "IBM PCjr" - IBM Personal Computer junior

Mikrokomputer "IBM PC" przekroczył spodziewaną wielkość sprzedaży w zastosowaniach profesjonalnych, natomiast jego wykorzystanie jako komputera domowego ograniczał fakt, iż cena była jednak znacznie wyższa niż większości obecnych na rynku systemów mikrokomputerów domowych. Stało się to powodem skonstruowania okrojonej wersji mikrokomputera, nazwanej PCjr, w wersji z- lub bez- dysku elastycznego. Mikrokomputer "IBM PCjr" miał być bezpośrednim konkurentem dla systemu "Apple II". Jednakże wkrótce ujawniły się niedostatki systemu "PCjr", czyniące go nieudanym dzieckiem IBM. Użytkownicy skarżą się na niewygodę nietypowych klawiszy PCjr oraz nie są przekonani, co do skuteczności połączenia klawiatury z systemem za pomocą łącza optycznego /łącze podczerwień/. Ponadto ograniczenie pamięci do 128 K bajtów spowodowało, iż większość programów przeznaczonych dla komputera "IBM PC" nie jest w stanie działać w systemie "IBM PCjr".

Budowa:

- Procesor: Intel 8088, 4,77 MHz.
- Pamięć wewnętrzna: 64 K bajty ROM, 64 K bajty RAM - standardowo, możliwość rozbudowy do 128 K bajtów maksimum.
- Wyświetlanie: wbudowany kontroler obrazu kolorowego.
- Klawiatura: 62 klawisze, klawisz CTRL i FNCT, klawisze sterujące kursorem, połączenie poprzez łącze optyczne w zakresie podczerwieni, regulacja kąta położenia klawiatury.
- Rozszerzanie: dwa gniazda do dołączenia do latkowych kart.
- Pamięć masowa: opcjonalnie 1 jednostka napędowa dysku elastycznego 360 K bajtów, 5 1/4 cala.

3.5.4. "IBM Portable Personal Computer"

Ponieważ na rynku znalazły się komputery przenośne kompatybilne z "IBM PC" oczywistym było, iż pojawi się oryginalna wersja przenośnego komputera "IBM PC". I rzeczywiście zapre-

zestawiono przenośną wersję opartą o model "IBM PC XT", z którym jest w pełni kompatybilna programowo. System jest nowocześnie zaprojektowany, bardzo zwarty, a jego wyposażenie w pełni wystarczające. Jedynym mankamentem wydaje się brak wyprowadzonych połączeń do drukarki i portu szeregowego. Ponadto dla niektórych kombinacji kolorów obraz wyświetlany na integralnym monitorze nie jest tak doskonały, jak w przypadku monitora zewnętrznego. Zasilacz systemu jest dostosowany do różnych napięć i częstotliwości sieci. System po złożeniu waży około 15 kg, daje się więc stosunkowo łatwo transportować w przystosowanej do tego torbie.

Budowa:

- Wymiary: 200 x 500 x 430 mm.
- Waga: ca. 15 kg.
- Procesor: Intel 8088, 4,77 MHz, podstawka dla koprocatora 8087.
- Pamięć wewnętrzna: 40 K bajtów ROM, 256 K bajtów RAM standardowo, możliwość rozbudowy do 640 K bajtów.
- Wyświetlanie: integralny monitor 9 cali, 80 znaków w 25 liniach.
- Klawiatura: odłączalna od budowy, kabel ok. 1,3 m, własności jak dla "IBM PC".
- Pamięć masowa: jednostka napędowa dysku elastycznego 360 K bajtów, 5 1/4 cala możliwość dołączenia drugiej jednostki dysku elastycznego.
- Rozszerzanie: 7 gniazd umożliwiających dołączanie dodatkowych kart, trzy gniazda pełnej długości i cztery gniazda ograniczone, 2 gniazda wykorzystane na kontroler dysków i monitora /oba pełnej długości/.

3.5.5. IBM Personal Computer XT/370

System "IBM/XT/370" to zasadniczo trzy systemy zawarte w jednym. Ma możliwość pracy jako: końcówka integralna systemu "IBM 370", końcówka terminalowa typu "3270" oraz samodzielny system "IBM PC XT". W trybie pracy jako zdalna stacja syste-

mu "370" komputer umożliwia realizację większości oprogramowania systemu CMS /Conversational Monitor System/ korzystając z wirtualnej pamięci 4 Mbajty. Pobieranie i składowanie zbiorów, podobnie jak emulacja terminalna typu "3277" są w pełni implementowane. Oba tryby pracy /zdalna stacja - terminal/ wymagają dołączenia sterownika "3274" i kabla koncentrycznego do połączenia z głównym komputerem. Zbiory są składowane na dysku w formacie odpowiednim dla systemu 370, jednakże w łatwy sposób /komendy CMS Import i Export/ mogą być przekształcane do postaci odpowiedniej dla PC DOS. Większość urządzeń hardware'owych dołączonych do systemu może być wykorzystywana w trybie pracy jako stacja wirtualna lub w trybie pracy lokalnej. Zmiana trybu pracy jest bardzo prosta i zwykle wymaga przyciśnięcia zaledwie dwóch klawiszy.

System "XT/370" jest tworzony ze standardowego systemu "IBM PC XT" poprzez dołączenie trzech dodatkowych kart. Pierwsza z nich zawiera trzy dodatkowe procesory, które realizują większość instrukcji Systemu 370. Dwa procesory Motorola 68000 - jeden standardowy i jeden specjalizowany - realizują większość operacji stałopozycyjnych Systemu 370, natomiast specjalizowany procesor, zbudowany na podstawie Intel 8087, zawiera rejestry zmienno-przecinkowe i realizuje instrukcje zmiennoprzecinkowe Systemu 370. Druga z kart dodatkowych zawiera 512 Kbajtów pamięci RAM, zwiększając całkowitą pamięć systemu do 640 Kbajtów w trybie pracy jako "IBM PC XT" lub 480 Kbajtów jako stacja systemu 370.

Budowa:

- Procesory: Intel 8088, Motorola 68000, specjalizowany IBM/Motorola 68000, specjalizowany IBM/Intel 8087.
- Pamięć wewnętrzna: 40 Kbajtów ROM, 768 Kbajtów RAM standard, 640 Kbajtów adresowanych w trybie pracy jako IBM PC, 480 Kbajtów adresowanych przy pracy w trybie IBM 370.
- Wyświetlanie: karta emulująca terminal 3277 standardowo.
- Klawiatura: jak dla modelu "IBM PC".

- Pamięć masowa: dysk elastyczny 360 K bajtów, 5 1/4 cala oraz dysk sztywny 10 M bajtów.
- Rozszerzenie: osiem gniazd, w tym sześć o pełnej długości i dwa skrócone, pięć gniazd zajętych.

3.5.6. "IBM 3270" Personal Computer

"IBM 3270 PC" jest przedstawicielem systemu IBM PC, który może pracować jako zdalny terminal inteligentny w dużych systemach komputerowych /np. systemy 43XX lub 308X/ albo jako niezależny system mikroprocesorowy, pracujący lokalnie.

"IBM 3270 PC" może wyświetlać informacje, korzystając z systemu siedmiu tzw. okien - czterech sterowanych z głównego systemu, dwóch definiowanych przez użytkownika jako notatnikowe oraz jednego tworzonego pod systemem PC DOS - zawartość wszystkich okien jest wyświetlana w trybie pracy z grafiką o wysokiej rozdzielczości. System jest tak skonstruowany, że zapewnia łatwą manipulację położeniem okien na ekranie, przechowywanie ich zawartości oraz proste przełączanie od pracy zdalnej do pracy lokalnej i odwrotnie. Istnieje możliwość zapamiętywania sekwencji instrukcji wprowadzanych z klawiatury przy sesjach pracy zdalnej.

System "IBM 3270 PC" jest sprzedawany w wielu możliwych konfiguracjach w zależności od potrzeb i wymagań użytkownika, różniących się przede wszystkim wielkością pamięci i urządzeń pamięci masowej, a także stopniem skomplikowania grafiki.

Budowa:

- Procesor: Intel 8088.
- Pamięć wewnętrzna: 40 K bajtów ROM, 256 K bajtów RAM standardowo, możliwość rozbudowy do 640 K bajtów.
- Klawiatura: 122 klawisze, uwzględnia klawisze funkcyjne zarówno dla IBM PC jak i terminala 3270.
- Modele: IBM 3270 PC, wersje 2,4,6 - zależnie od liczby dysków elastycznych /1 lub 2 jednostki/, lub dysku sztywnego 10 M bajtów oraz różniące się adapterami monitorów /IBM

3270 PC/G - Graphics oraz IBM 3270 PC/GX - Graphics eXtended/; lub wersje 12, 14, 16 w zależności od jednostek dyskowych, pojemności pamięci i wyposażenia do dołączania różnych urządzeń peryferyjnych.

3.5.7. "IBM PC AT" - IBM Personal Computer Advanced Technology

Komputer "IBM PC AT" jest wytwarzany w dwóch zasadniczych wersjach. Model podstawowy /w cenie 3995 dol. USA/ zawiera pamięć operacyjną RAM o pojemności 256 Kbajtów oraz jednostkę napędową dysków elastycznych o pojemności 1,2 Mbajta. Model wzbogacony droższy o 1800 dolarów zawiera ponadto następne 256 Kbajtów pamięci RAM i jednostkę napędową dysku aktywnego o pojemności 20 Mbajtów. Wbudowana jest także karta adaptera styku szeregowo-równoległego. Zasilacz dostarcza moc 190 W /dla porównania 63 W w systemie PC i 130 W w systemie PC XT/. Jako nowość wbudowano wentylator o zmiennej prędkości obrotowej pracujący szybciej /i głośniej/ w miarę narastania obciążenia i temperatury wewnątrz obudowy. Klawiatura i jej złącze są bardziej rozbudowane niż w wersjach poprzednich, i nie są wzajemnie wymienne. Do obsługi klawiatury i innych funkcji z nią związanych wykorzystano mikrokomputer jednokładowy znajdujący się na głównej płycie systemu, stąd oprogramowanie odwołujące się bezpośrednio do klawiatury i jej złącza /a także niektóre programy interpretujące znaczenie klawiszy i wiele gier/ nie jest kompatybilne z systemami PC i PC XT. Konfiguracja klawiatury jest zbliżona do stosowanej w maszynie do pisania "IBM Selectric"; można używać jednej z sześciu wersji językowych klawiatury, co pozwala na stosowanie systemu w różnych krajach. Po stronie wyjściowej w systemie AT zastosowano standardowe karty obsługi monitora systemu, tak więc wszystkie wersje są kompatybilne.

Główna płyta stanowi całkowicie nowe rozwiązanie. W miejsce stosowanego w IBM PC mikroprocesora 8088 użyto nowy, wysokowydajny mikroprocesor Intel 80286 sterujący całym systemem; na płycie zostawiono pustą podstawkę pod towarzyszącą kopro-

cesor arytmetyczny 80287. Czynnikiem zasadniczym do przyspieszenia działania procesora są zmiany w jego strukturze wewnętrznej, które pozwalają wykonać większość instrukcji w czasie odpowiadającym połowie cykli zegarowych mikroprocesora 8088.

Procesor 80286 ma możliwość pracy z tzw. rozszerzoną adresacją pamięci /z 1 M bajta do 16 M bajtów/. Mimo, iż wykonuje on wówczas ten sam zestaw instrukcji co 8086, jego sposób działania bardziej przypomina sposób działania dużych komputerów lub mikrokomputerów i jest szczególnie ukierunkowany na pracę wielozadaniową i wielodostępną. Niedogodnością tego rozwiązania jest fakt, iż programy pisane dla trybu adresacji rzeczywistej zwykle nie mogą poprawnie działać w trybie adresacji rozszerzonej i vice versa. Ze znanych systemów operacyjnych, jedynie "XENIX Microsoft" pozwala na wykorzystanie możliwości trybu rozszerzonego, jednakże jego dostępność jest znikoma.

Jako wyposażenie dodatkowe w systemie AT użyć można specjalizowanego procesora arytmetycznego 80287 /kosztującego ok. 370 dol. USA/. Nie jest on w pełni zgodny programowo z koprocesorem 8087 z wersji "IBM PC", choć niezbędne do wprowadzenia zmiany są stosunkowo niewielkie. Programy napisane dla koprocesora 8087 mogą więc pracować błędnie w systemie AT.

Na płycie głównej systemu umieszczono 8 gniazd o pełnej długości, co zwiększa możliwości rozbudowy w stosunku do wersji XT. Każde gniazdo zawiera 62 styki z sygnałami identycznymi jak w modelu PC /choć przebiegi czasowe nieco się różnią/. W sześciu gniazdach dodano 36-stykowe złącza umożliwiające przyłączenie kart przeznaczonych wyłącznie do modelu AT, a zawierające linie rozszerzonej szyny adresowej /A20 - A23/ oraz szyny danych. Sygnałem dodatkowym szczególnie interesującym jest sygnał MASTER /Sterowanie/, dzięki któremu procesor dołączonej karty może przejąć kontrolę nad całym systemem i uzyskać dostęp do wszystkich jego zasobów. Możliwość ta stwarza całkowicie nowe perspektywy przy połączeniach z modułami i terminalami "inteligentnymi".

System AT jest pierwszym przedstawicielem rodziny komputerów "IBM PC", w którym zastosowano nową jednostkę dysków elastycznych 5 1/4 cala o podwyższonej do 1,2 Mbaajta pojemności. Transmitowane dane są umieszczone na 160 ścieżkach /80 ścieżek na jednej stronie/, zawierających piętnaście 512-bajtowych sektorów każda. Szybkość transmisji jest dwa razy większa niż dla dysku standardowego i wynosi 500 Kbit/s. Prędkość obrotowa jest również zwiększona i wynosi 360 zamiast 300 obrotów/s. Do sterowania tą jednostką opracowano w IBM specjalną kartę kontrolera, zawierającą również kontroler standardowego dysku elastycznego oraz kontroler dysku sztywnego.

W systemie AT program BIOS /Basic Input-Output System/ może powrócić do systemu operacyjnego z ustawionym statusem "operacja długotrwała" po zainicjowaniu niektórych operacji systemowych, np. wolnej transmisji danych przez kontroler. W takim przypadku system operacyjny może uruchomić inny proces pozostawiając wykonanie wcześniejszej rozpoczętej funkcji przez sprzęt. Po jej zakończeniu BIOS wystawia status "operacja gotowa do zakończenia", umożliwiając powrót do zawieszonego procesu.

Przewiduje się, że oprogramowanie nowego systemu, mimo iż nie w pełni kompatybilne z PC, również będzie rozwijane równie intensywnie jak dla "IBM PC".

Budowa:

- Procesor: Intel 80286, podstawka na koprocesor Intel 80287.
- Pamięć: ROM 64 Kbaajty, RAM 640 Kbaajtów z możliwością dalszej rozbudowy na kartach /nawet do 16 Mbaajtów/.
- Monitor: standardowy styk monitora Systemu PC.
- Klawiatura: w sześciu wersjach językowych, 84 klawisze, 10 klawiszy funkcyjnych, położenie zgodnie ze schematem "SELECTRIC".
- Pamięć masowa: dysk elastyczny 360 K-bajtów, 5 1/4 cala; dysk elastyczny specjalny 1,2 Mbaajta, 5 1/4 cala; dysk sztywny 20 Mbaajtów.
- Rozszerzanie: 8 gniazd pełnej długości wg "IBM PC", sześć dodatkowo rozszerzonych dla wersji AT.

4. OPROGRAMOWANIE SYSTEMÓW MIKROPROCESOROWYCH

Niezmiernie ważnym elementem zestawu mikroprocesorowego jest oprogramowanie. Jest to czynnik, który ohyba w największym stopniu decyduje o popularności i wielkości sprzedaży określonego typu mikrokomputera. Wiele firm poniosło ogromne straty, ponieważ pomimo wielkich potencjalnych możliwości sprzętu, nie zadbały one o to, by stworzyć dużą i tanią bazę oprogramowania do tego sprzętu. Inne firmy zyskały ogromną popularność właśnie dzięki rozwiniętemu oprogramowaniu. Typowym przykładem jest "ZX Spectrum". Podobnie rozwinięta baza programów do systemu "IBM PC" decyduje o jego popularności i stosowaniu niemal we wszystkich dziedzinach, w których stosuje się systemy mikrokomputerowe.

W sposób bardzo ogólny podzielić można oprogramowanie systemu mikrokomputerowego na dwa zasadnicze obszary:

- oprogramowanie systemowe,
- oprogramowanie użytkowe.

Przez oprogramowanie systemowe rozumiany jest zestaw programów, które organizują pracę systemu oraz umożliwiają przygotowywanie, testowanie i uruchamianie oprogramowania użytkowego. Zaliczyć tutaj można następujące typy i rodzaje programów:

- monitory systemowe, czyli programy umożliwiające integrację w działanie systemu na poziomie sprzętu /dostęp do portów, przeglądanie i modyfikacja zawartości pamięci itp./;
- systemy operacyjne, czyli systemy programowe umożliwiające organizację współpracy programów użytkowych ze sprzętem, organizację współpracy programów użytkowych z urządzeniami We/Wy, tworzenie i gospodarę zbiorami w pamięci masowej systemu.

Najbardziej znane na świecie systemy operacyjne to:

- CP/M Control Program for Microprocesor;

- DOS Disk Operating System;
- CP/M 86;
- Concurrent DOS;
- UNIX i pochodne np. XENIX;
- interpretery i kompilatory języków programowania; wydzielisz tutaj można dwie grupy:

a/ asemblery, czyli programy tłumaczące kod mnemoniczny /będący skrótem literowym nazwy realizowanej operacji/ procesora systemu na program w kodzie wynikowym tego procesora i cross-aseblery, czyli programy tworzące oprogramowanie w kodach wewnętrznych innych procesorów;

b/ interpretery lub kompilatory języków programowania wyższego rzędu. W chwili obecnej niemal standardem jest wbudowany integralny interpreter języka BASIC. Najbardziej popularne kompilatory to:

- BASIC,
- Pascal oraz Turbo Pascal,
- Modula oraz Turbo Modula,
- LOGO,
- C,
- Prolog;

- oprogramowanie systemowe wspomagające; należy tutaj zaliczyć różnego rodzaju programy edycji zbiorów źródłowych, debuggery /czyli programy umożliwiające wyszukiwanie i korektę błędów/, emulatory i symulatory działania programów.

Drugą nie mniej ważną częścią oprogramowania systemów mikroprocesorowych jest tzw. oprogramowanie użytkowe. Zaliczyć tutaj należy wszelkie programy realizujące określone cele i zadania stawiane przez użytkowników sprzętu i nie związane bezpośrednio z samym sprzętem lub tworzeniem innych programów. Oprogramowanie użytkowe również podzielić można na dwie kategorie:

- programy pisane przez użytkownika;

- programy lub systemy programowe tworzone przez producenta sprzętu lub wyspecjalizowanych wytwórców oprogramowania.

Oprogramowanie użytkowe tworzone bezpośrednio przez użytkownika^{x/} ma najczęściej charakter albo naukowy - do obliczeń i symulacji różnorodnych procesów - albo zabawowy, tzn. są to programy realizujące pewne nietypowe rozwiązania gier komputerowych, systemów informacji itp. Pozostała część oprogramowania użytkowego jest wyraźnie zdominowana przez gotowe programy i systemy programowe, tworzone przez wyspecjalizowanych wytwórców. Typowe obszary programów użytkowych to:

- a/ Edytory tekstowe i procesory tekstowe, czyli programy służące do tworzenia, redakcji i edycji dużych zbiorów tekstowych; duże systemy oprogramowania do przetwarzania tekstów są zawarte w specjalizowanych systemach mikrokomputerowych służących tylko do tego celu, np. jeden z modeli firmy Amstrad.
- b/ Programy umożliwiające tworzenie i organizację dostępu do różnych baz danych.
- c/ Programy umożliwiające przetwarzanie i edycję wyników dla dużych zbiorów danych tabelarycznych.
- d/ Programy do przetwarzania obrazu np. animacji trójwymiarowej.
- e/ Systemy grafiki komputerowej, np. GKS - Graphic Kernel System.
- f/ Programy wspomagające projektowanie i wytwarzanie urządzeń, tzw.:
CAD - Computer Aided Design - Projektowanie Wspomagane Komputerowo,

x/ Należy pamiętać, że napisanie programu może zająć kilka miesięcy, a efekt będzie często daleki od doskonałości. Dobre programy są tworzone zwykle przez zespoły ludzi biegłych w różnych dziedzinach, a informatycy zajmują się jedynie realizacją ich projektów. Dlatego z reguły nie ma sensu powtarzanie czyjejś pracy - lepiej po prostu skorzystać z istniejących, choć niezbyt tanich programów.

CAM - Computer Aided Manufacturing - Wytwarzanie Wspomniane Komputerowo.

Programy typu CAD i CAM są jednymi z najbardziej skomplikowanych i należy szczególnie podkreślić, że są one objęte ostrym embargiem wywozowym, albowiem brak nowoczesnego oprogramowania tego typu stanowi nieprzekraczalną barierę technologiczną w rozwoju mikroelektroniki. Są to największe systemy programowe - niektóre z nich zajmują aż 18 dyskieciek, czyli mają objętość ok. 6,5 M bajta długości. Typowe obszary zastosowań metod CAD i CAM to: analiza układów elektronicznych analogowych i cyfrowych, wytwarzanie płyt z obwodami drukowanymi, projektowanie mechaniczne urządzeń, projektowanie konstrukcji i wiele innych.

- g/ Programy umożliwiające tworzenie złożonych systemów zarządzania i decyzyjnych, w tym programy zarządzania przedsiębiorstw oraz tzw. systemy ekspertowe.
- h/ Programy umożliwiające współpracę z dużymi systemami informacyjnymi oraz tworzenie sieci komputerowych baz danych.

Oddzielną dziedziną oprogramowania użytkowego systemów mikroprocesorowych jest oprogramowanie do osłów zabawowych i dydaktycznych. Programy zabawowe, czyli tzw. gry komputerowe tworzą na świecie liczący się rynek z punktu widzenia ich globalnej sprzedaży, a jednocześnie spełniają ogromną rolę inspirująco-popularyzatorską. Wiele małych systemów mikrokomputerowych jest wyspecjalizowanych właśnie w kierunku sprawnego obsługiwanie programów gier. Oprogramowanie dydaktyczne, mimo iż nie ma czysto zabawowego charakteru, zostało w wielu przypadkach zbudowane na zasadzie gier komputerowych, realizując znane hasło "uczyć - bawiąc". Programy edukacyjne są albo realizowane w sekwencji gry komputerowej, albo też fragmenty gry są nagrodą za prawidłowe odpowiedzi w toku programu uczącego.

5. ZAKOŃCZENIE

Wdrożenie nowoczesnej techniki i technologii w polską telekomunikację mierzone może być stopniem wprowadzenia do prac projektowych i wdrażanych wyrobów - nowoczesnych rozwiązań technologicznych, układowych i organizacyjnych, bazujących na sterowaniu i przetwarzaniu danych przy użyciu mikroprocesorów. Ich stosowanie w sprzęcie telekomunikacyjnym jest nieuniknioną konsekwencją postępu, zarówno w skali światowej jak i polskiej gospodarki. Program edukacji, aby sprostać wymaganiom naszych czasów, przewiduje szerokie wprowadzenie w latach 1986-1990 mikrokomputerów i nauczania informatyki do praktyki szkolnej /dąży się do wyposażenia szkół średnich w 75 tysięcy zestawów mikrokomputerowych/. Absolwenci kończący naukę powinni także w resorcie łączności zastać stanowiska pracy oraz bazę elementową, zapewniającą właściwe wykorzystanie ich wiedzy i umiejętności.

WYKAZ LITERATURY

1. Badźnirowski K. i in.: Systemy mikroprocesorowe. WNT, Warszawa 1981.
2. BYTE, wydanie specjalne nt. IBM PC, jesień 1984.
3. INFORMATYKA, nr 12, 1984; nr 10, 1985.
4. Klingman E.E.: Projektowanie systemów mikroprocesorowych. WNT, Warszawa 1982.
5. Misiurewicz P.: Układy mikroprocesorowe. Struktury i programowanie. WNT, Warszawa 1983.
6. Praca zbiorowa: Modułowe systemy mikroprocesorowe. WNT, Warszawa 1984.
7. Sacha K., Rydzewski A.: Mikroprocesor w pytaniach i odpowiedziach. WNT, Warszawa 1985.

ISSN 0209-1046

