

1 9 7 1

Nr 62

INSTYTUT ŁĄCZNOŚCI  
WARSZAWA — MIEDZESZYN

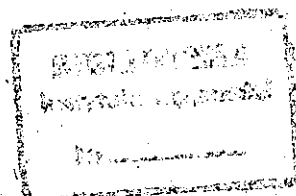
PROBLEMY  
ŁĄCZNOŚCI





MINISTERSTWO ŁĄCZNOŚCI

---



# PROBLEMY ŁĄCZNOŚCI

ROK 11

WARSZAWA 1971

NR 62

---

INSTYTUT ŁĄCZNOŚCI

Branżowy Ośrodek  
Informacji Naukowo-Technicznej i Ekonomicznej

## Redakcja Problemów Łączności

---

Redaktor Naczelny - mgr inż. Jerzy Rutkowski

Redaktorzy działów:

mgr inż. Władysław Cetner, mgr inż. Adam Moniuszko,  
mgr inż. Józef Możejko

Adres Redakcji:

Instytut Łączności

Branżowy Ośrodek

Informacji Naukowo-Technicznej i Ekonomicznej

Warszawa-Miedziszyn, ul. Szachowa 1

NA PRAWACH REKOPISU - DO UŻYTKU SŁUŻBOWEGO

Egz. Nr

00.32

Redaktor: J. Borkowska

Montaż tekstu: B. Drabik

---

Dział Wydawniczy Instytutu Łączności  
Format B5. Nakład 761. Wpłynęło do  
Działu Wydawniczego 3.04.1971 r.  
Druk ukończono w czerwcu 1971 r.

# PROBLEMY ŁĄCZNOŚCI

HENRYK KOTLEWSKI, JERZY WÓJCIKIEWICZ

CYFROWE UKŁADY SCALONE W TELEKOMUNIKACJI -  
- ZAGADNIENIA WYBRANE

## SPIS TREŚCI

	Str.
1. Wprowadzenie	1
1.1. Podstawowe wiadomości	1
1.2. Funkcje logiczne i parametry układów logicznych	8
1.3. Zagadnienia technologiczne	14
2. Przegląd podstawowych logicznych układów scalonych	19
2.1. Układy logiczne RTL	19
2.2. Układy logiczne DCTL	20
2.3. Układy logiczne DTL	22
2.4. Układy logiczne TTL	24
2.5. Układy logiczne ECTL	26
2.6. Układy logiczne MOSFETL	30
2.7. Układy logiczne CPL i COS MOS FETL	35
2.8. Krótkie podsumowanie przeglądu	37
3. Działanie i zastosowanie cyfrowych układów scalonych TTL	40

	Str.
3.1. Działanie podstawowej bramki NAND i jej parametry	40
3.2. Historia rozwoju układu bramki TTL	49
3.3. Przegląd produkcji cyfrowych układów scalonych TTL oraz niektóre dane rynków handlowych	53
3.4. Przykłady zastosowania bramek	66
3.5. Przerzutniki bistabilne	73
3.6. Przerzutniki monostabilne	89
3.7. Przerzutniki astabilne	98
3.8. Niektóre zagadnienia eksploatacyjne	100
4. Stan obecny oraz perspektywy zastosowania układów scalonych w telekomunikacji	101

Henryk Kotlewski  
Jerzy Wójcikiewicz

## CYFROWE UKŁADY SCALONE W TELEKOMUNIKACJI - - ZAGADNIENIA WYBRANE

### 1. WPROWADZENIE

#### 1.1. Podstawowe wiadomości

Podstawowymi kierunkami rozwoju nowoczesnych urządzeń telekomunikacyjnych są: zwiększanie niezawodności pracy, miniaturyzacja sprzętu, ograniczanie pobieranej mocy.

Jest oczywiste, że osiągnięcie takich celów nie może być związane ze zwiększaniem kosztów produkowanego sprzętu.

Nowe rozwiązania technologiczne pozwalają na zmniejszenie wymiarów poszczególnych elementów elektrycznych, jak oporników, kondensatorów, cewek, przy jednoczesnym polepszeniu jakości ich parametrów. Konwencjonalna budowa urządzeń telekomunikacyjnych, oparta na montażu poszczególnych dyskretnych elementów, musiałaby zatrzymać się na pewnym etapie miniaturyzacji, ponieważ operowanie poszczególnymi nadmiernie małymi elementami utrudniałoby przeprowadzanie montażu i oddziaływało szkodliwie na niezawodność układów.

W związku z tym powstała koncepcja tworzenia grup i warstw oraz połączeń między nimi wielu mikroelementów drogą powiązania różnych obszarów funkcjonalnych na jednej płycie podłożowej, uzyskiwanych jednocześnie w czasie stosowanych procesów technologicznych.

Konstrukcyjna całość tak wykonanego układu, zabezpieczonego przed zewnętrznymi szkodliwymi wpływami stosowanym "opakowaniem" i zaopatrzonego w dostosowane do pełnionych funkcji doprowadzenia nosi nazwę modułu.

Tak wykonane układy elektroniczne znane są pod nazwą układów scalonych.

W elektronice modułami nazywano dawniej zwarte konstrukcje odpowiadające konkretnym zadaniom i pełniące określone funkcje. Były to zwarte bloki konstrukcyjne, zawierające indywidualne elementy pasywne i aktywne, zamknięte w hermetycznych obudowach; pojęcie modułu zmieniało się z czasem. Obecnie wydaje się celowe przyjęcie w dziedzinie techniki układów scalonych terminu "moduł" dla oznaczenia zespołu układów scalonych o zwartej konstrukcji i obudowie określonego typu oraz będącego przedmiotem handlu na światowych rynkach w tej dziedzinie.

Katalogi firmowe zawierają wykazy produkowanych modułów, oznaczonych odpowiednimi symbolami. W katalogach tych określa się pełnione przez moduły funkcje, działanie podstawowych układów, schematy i oznaczenia zewnętrznych wyprowadzeń, rodzaje zasilania i parametry układów.

W technice układów scalonych moduł stanowi najmniejszą wymienną część urządzeń elektronicznych.



W zależności od liczby wchodzących w skład modułu elementarnych układów /bramek/ rozróżniamy mały, średni i duży stopień scalania układów. Stopnie scalania (SSI, MSI i LSI) nie są dotychczas sprecyzowane jednoznacznie. Zwykle, jeżeli liczba jednostek funkcyjnych (bramek) na jednej płytce podłożowej przekracza kilkadziesiąt lub kilkaset (najczęściej 100), to mówi się o wielkim stopniu scalania (Large Scale Integration - LSI), w przeciwnym przypadku mówi się o małym lub średnim stopniu scalania (Small Scale Integration - SSI lub Medium Scale Integration - MSI), zależnie od tego czy w jednym module umieszczono kilka (do 12) lub kilkanaście (powyżej 12) jednostek funkcyjnych.

W pracy zostaną omówione bliżej tylko układy scalone SSI. Średni stopień scalania obejmuje takie urządzenia, jak na przykład urządzenia do przeprowadzania konwersji szeregowo-równoległej, a ponadto urządzenia o charakterze dekodérów i multipleksery przeznaczone do zbierania informacji z bardzo wielu punktów linii przesyłowej i do selektywnego kierowania informacji do tych punktów.

Wysoki stopień scalania jest na razie stosowany w stopniu ograniczonym. Budowane układy są tworzone na płytkach półprzewodnikowych o średnicy 1,5 cala. W tej postaci dostarczane są na rynek analizatory funkcji stosowane na przykład do kontroli pracy różnych urządzeń. Stopień scalania LSI odpowiada znacznie wyższej liczbie elementarnych układów na jednej płytce podstawowej, niż to było przy średnim stopniu scalania, i może osiągać obecnie liczbę 1000. Tak wielkie scalenie wymaga więk-

szej liczby doprowadzeń wyjściowych i powoduje konieczność stosowania wielowarstwowych kontaktów doprowadzających, zazwyczaj typu "beam-lead" (belkowe).

W zależności od stosowanej technologii i od użytego podłoża (materiału płytki) obecnie produkowane układy scalone dają się podzielić na układy o podłożu czynnym oraz na układy o podłożu izolacyjnym. Układy o podłożu czynnym są to układy tworzone na płytkach półprzewodnikowych; układy o podłożu izolacyjnym mogą być tworzone przy zastosowaniu technologii warstw cienkich oraz technologii warstw grubych.

Układami scalonymi monolitycznymi nazywamy układy produkowane w oparciu o jedną technologię, układami mieszanymi (hybrydowymi) nazywamy układy oparte na więcej niż jednym rodzaju technologii.

Równolegle z pracami nad elementami bipolarnej techniki półprzewodnikowej postępowały na świecie prace nad zastosowaniem tranzystorów monopolarnych, opartych na "efekcie polowym" MOS FET (METAL OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTORS).

Ze względu na znacznie prostszą budowę elementów MOS, pozwalającą na lepsze wykorzystanie powierzchni podłoża, oraz ze względu na łatwość realizowania elementów biernych znacznie upraszcza się proces wytwarzania układów scalonych. Wykorzystanie elementów typu MOS zezwala na stosunkowo łatwą realizację układów LSI. Techniczna realizowalność tych układów została już udowodniona zarówno w skali laboratoryjnej, jak i produkcyjnej. Pro-

dukowane są na przykład moduły, zawierające po 100 bramek z tranzystorami typu MOS. Znane są również z literatury przykłady użytkowania w jednym module 1000 elementów MOS.

Tempo rozwoju produkcji półprzewodnikowych układów scalonych w USA w latach 1963-1970 przedstawia tablica 1.1.

T a b l i c a 1.1.

Rozwój półprzewodnikowych układów scalonych w USA  
w latach 1963-1970

Lata	1963	1965	1966	1967	1968	1969	1970
Produkcja układów scalonych w mln szt.	0,5	9,5	30,0	80,0	220,0	350,0	450,0

Na rozwój produkcji półprzewodnikowych układów scalonych wydatkuje się we wszystkich krajach coraz większe sumy. W ostatnich latach w wielu krajach obok wielkich firm amerykańskich, produkujących układy scalone, powstały mniejsze firmy, podejmujące produkcję na zasadach licencji.

Przy projektowaniu i wykonywaniu półprzewodnikowych układów scalonych stosuje się obecnie prawie wyłącznie maszyny matematyczne. Opracowano odpowiednie programy dla maszyn, które analizują wymagania stawiane układom, programują parametry procesów technologicznych, niezbędnych do realizacji układu.

Obecnie w technice półprzewodnikowej bipolarnej naj-

większe zastosowanie znalazły półprzewodnikowe układy scalone typu TTL (Transistor - Transistor Logic).

Praca poniżej omawia szczegółowo układy scalone tego typu, zwracając szczególną uwagę na ich zastosowania. Większość cyfrowych układów produkowanych przez znane światowe firmy posiada zbliżone parametry techniczne, stąd oparcie się przy omawianiu zastosowań na rodzinie TTL w wykonaniu francuskiej firmy SGS nie wprowadza żadnych ograniczeń co do zastosowania tych układów.

Ze względu na brak miejsca w niniejszej pracy układy scalone typu MOS, mimo że stanowią układy o dużej przyszłości, nie mogą tu być szerzej omawiane.

W zależności od pełnionych funkcji układy scalone można podzielić na układy scalone cyfrowe i na układy scalone liniowe. Od tych ostatnich jest wymagane: przeniesienie sygnałów charakteryzujących się ciągłą zmianą amplitudy (sygnałów analogowych), nieprzekraczanie dopuszczalnych wartości zniekształceń liniowych oraz zapewnienie stałości szeregu parametrów w funkcji zmiennych czynników zewnętrznych.

Liczbowe zapotrzebowanie na scalone układy liniowe nie jest jeszcze wielkie, ale w ostatnich czasach zaznacza się wzrost zapotrzebowania na te układy. Produkcja liniowych układów scalonych opiera się głównie na technologii warstw cienkich, która nie wymaga długich studiów wstępnych i przy mniejszym stosunkowo zapotrzebowaniu jest ekonomicznie uzasadniona; opłaca się ją stosować nawet w przypadku małych serii urządzeń, rzędu kilkuset sztuk. Do urządzeń takich można zaliczyć: generatory, filtry, korektory.

Przy zastosowaniu technologii warstw cienkich osią-  
gany stopień miniaturyzacji zezwala na zmniejszenie wy-  
miarów produkowanych urządzeń, przyczynia się do zwięks-  
zenia niezawodności pracy i wydłużenia okresu bezawa-  
ryjnego. W technice warstw cienkich nie osiąga się nato-  
miast tak dużego stopnia scalania, jak w technice ukła-  
dów półprzewodnikowych.

Układy te są wykonywane na podłożach izolacyjnych, co  
umożliwia produkcję elementów biernych, takich jak o-  
porniki, kondensatory i cewki indukcyjne, bardzo małej  
indukcyjności (o dokładności większej, niż ta, którą moż-  
na uzyskać przy zastosowaniu innej technologii). Techno-  
logia warstw cienkich pozwala osiągać mniejsze współczyn-  
niki temperaturowe niezależnie od biegunowości napięcia  
zasilającego (w przeciwieństwie do elementów wykonywa-  
nych na podłożu półprzewodnikowym). Zagadnienie warstw  
cienkich stanowi oddzielny obszerny temat i w ramach ni-  
niejszego artykułu nie będzie bliżej rozpatrywane.

Scalone układy cyfrowe, które są przedmiotem dalszych  
rozważań, są przeznaczone do przenoszenia elektrycznych  
sygnałów binarnych, jedynie o dwóch stanach (napięcie lub  
prądów) odpowiadających poziomom 0 logicznego i 1 logicz-  
nej, które w dalszej treści artykułu oznaczać będziemy  
"0" i "1".

Praca tych układów opiera się na właściwościach tran-  
zystorów, wykorzystując tylko dwa stany: stan zablokowa-  
nia<sup>x)</sup>, oznaczający brak przewodzenia na drodze od kolek-

<sup>x)</sup> Przez niektórych autorów stan ten bywa niekiedy o-  
znaczany jako stan "odcięcia" lub stan "zatkania".

tora do emitera, i stan nasycenia, oznaczający dobre przewodzenie pomiędzy kolektorem i emitorem.

Cyfrowe układy scalone znalazły już lub znajdują w przyszłości zastosowanie w telekomunikacji, w urządzeniach telefonii wielokrotnej o podziale czasowym, w urządzeniach do transmisji danych, urządzeniach telegrafii wielokrotnej i w nowoczesnych układach komutacyjnych central telefonicznych, w miernictwie cyfrowym, w urządzeniach związanych z przyszłościowymi sieciami zintegrowanymi, w urządzeniach służb pomocniczych (do zdalnego nadzoru i kontroli, do automatycznego badania łączy itp.), w liniach radiowych o zwielokrotnieniu czasowym oraz ponadto w całym szeregu innych zastosowań.

## 1.2. Funkcje logiczne i parametry układów logicznych

W większości scalonych układów cyfrowych zmiana poziomu wejściowego z "0" na "1" powoduje przejście tranzystora ze stanu zablokowania do stanu nasycenia. Używanie stanu pełnego nasycenia oraz wyjście z tego stanu wymaga jednak pewnego okresu czasu, co niekorzystnie wpływa na szybkość przechodzenia układu ze stanu "0" do stanu "1", i odwrotnie.

W tych układach cyfrowych, w których potrzebna jest większa szybkość przełączania jako drugi stan, przyjmuje się zamiast stanu nasycenia stan czynny tranzystora lub stan na ich pograniczu.

Pracę tranzystora działającego jako przełącznik przedstawia rys. 1.1.<sup>x)</sup>.

<sup>x)</sup> Wszystkie rysunki są zamieszczone na końcu artykułu.

Przy napięciu wejściowym  $U_G = 0 \text{ V}$  tranzystor ten znajduje się w stanie zablokowania "wył". W tym przypadku w obwodzie kolektora płynie szczątkowy prąd kolektora  $J_{KB0}$ , a napięcie na wyjściu (na kolektorze tranzystora) równa się w przybliżeniu napięciu zasilania  $+U_K$ .

Tranzystor znajduje się w stanie nasycenia ("zał"), gdy napięcie wejściowe generatora  $U_G = U_K$ . Wówczas prąd kolektora równa się w przybliżeniu wartości  $\frac{U_K}{R_K}$ . Napięcie wyjściowe jest bliskie wartości  $0 \text{ V}$  (w zależności od typu zastosowanego tranzystora waha się w granicach kilkuset mV). W celu uzyskania zdecydowanego nasycenia tranzystora wartość rezystancji  $R_B$  należy tak dobrać, by w obwodzie bazy płynął prąd bazy  $I_B$  większy od wartości  $\frac{I_K}{\beta_0}$ , gdzie  $\beta_0$  oznacza wzmocnienie prądowe tranzystora. Układ z rys. 1.1a jest najprostszym układem cyfrowym, realizującym funkcję logiczną negacji.

Podstawowymi elementami układów cyfrowych są układy logiczne, zwane "bramkami". Poza bramkami do układów cyfrowych zalicza się układy pamięciowe, układy czasowe i generacyjne. Podstawowe układy logiczne odpowiadają trzem podstawowym funkcjom logicznym: funkcji iloczynu logicznego "i", funkcji sumy logicznej "lub" oraz funkcji negacji logicznej "nie". Te podstawowe funkcje logiczne oznaczone są w literaturze angielskiej przez AND, OR i NOT. Z podstawowych funkcji logicznych AND i NOT oraz OR i NOT można realizować dowolne funkcje logiczne. W praktyce zwykle funkcje AND i NOT oraz OR i NOT są łączone razem, tworząc funkcje logiczne NAND i NOR.

Tablica 1.2 przedstawia symbole oraz realizowane funkcje podstawowych układów bramek, z trzema wejściami. Zmienne A, B, C są zmiennymi wejściowymi, przyjmującymi tylko dwie wartości napięcia lub prądu "1" lub "0". W zależności od stanu zmiennych wejściowych, otrzymuje się

T a b l i c a 1.2.

Funkcje realizowane przez podstawowe układy bramek oraz ich symbole

Oznaczenie funkcji	Realizowana funkcja	Symbol
NOT	$F = \bar{A}$	
AND	$F = A \cdot B \cdot C$	
OR	$F = A + B + C$	
NAND	$F = \overline{A \cdot B \cdot C}$	
NOR	$F = \overline{A + B + C}$	

wartość funkcji wyjściowej F, odpowiadającą "0" lub "1". Wartości funkcji F w zależności od kombinacji zmiennych wejściowych są przedstawione w tabl. 1.3.

Tablica ta jest nazywana "tablicą wierności" a niekiedy tablicą "prawdy" ("truth table"). Dowolnie skomplikowane układy logiczne można zrealizować jedynie przy użyciu bramek (układów logicznych) NOR i NAND.

W układach logicznych możliwe jest stosowanie dwóch podstawowych konwencji logicznych: dodatniej i ujemnej. W dodatniej konwencji logicznej większej wartości napięcia odpowiada "1, zaś mniejszej wartości napięcia



T a b l i c a 1.3.

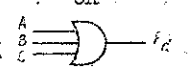
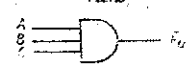
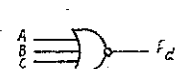
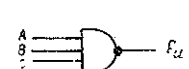
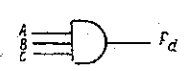
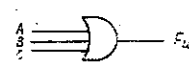
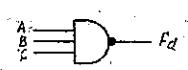
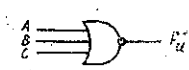
"Tablica wierności" dla podstawowych funkcji logicznych

Zmienne wejściowe			AND $F = ABC$	OR $F = A+B+C$	NAND $F = \overline{ABC}$	NOR $F = \overline{A+B+C}$
A	B	C	F	F	F	F
0	0	0	0	0	1	1
0	0	1	0	1	1	0
0	1	0	0	1	1	0
0	1	1	0	1	1	0
1	0	0	0	1	1	0
1	0	1	0	1	1	0
1	1	0	0	1	1	0
1	1	1	1	1	0	0

odpowiada "0". W ujemnej konwencji logicznej przyjmuje się, że mniejszej wartości napięcia odpowiada "1", a większej wartości napięcia odpowiada "0". W scalonych układach logicznych częściej jest stosowana konwencja dodatnia.

W tablicy 1.4. przedstawione zostały symbole równoważnych funkcji logicznych przy przejściu z konwencji dodatniej do konwencji ujemnej. Zmiana konwencji oznacza jednoczesną negację każdej z zastosowanych zmiennych wejściowych i jednocześnie negację funkcji, przy zastosowaniu znanego z algebry Bode'a prawa:  $\overline{A+B+C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$ ,  $\overline{A \cdot B \cdot C} = \overline{A+B+C}$  i  $\overline{\overline{F}} = F$ .

Przejście z konwencji dodatniej do konwencji ujemnej  
dla podstawowych funkcji logicznych

Konwencja logiczna dodatnia	Konwencja logiczna ujemna	
$A, B, C = 1$ /nap. dodatnie/ $A, B, C = 0$ /nap. 0 V/	$A, B, C = 1$ /nap. 0 V/ $A, B, C = 0$ /nap. dodatnie/	Dowód
OR  $F_d = A+B+C$	AND  $F_u = A \cdot B \cdot C$	$F_u = \overline{\overline{A+B+C}} = \overline{\overline{A \cdot B \cdot C}} = A \cdot B \cdot C$
NOR  $F_d = \overline{A+B+C}$	NAND  $F_u = \overline{A \cdot B \cdot C}$	$F_u = \overline{\overline{\overline{A+B+C}}} = \overline{\overline{A \cdot B \cdot C}}$
AND  $F_d = A \cdot B \cdot C$	OR  $F_u = A+B+C$	$F_u = \overline{\overline{\overline{A \cdot B \cdot C}}} = \overline{\overline{A+B+C}} = A+B+C$
NAND  $F_d = \overline{A \cdot B \cdot C}$	NOR  $F_u = \overline{A+B+C}$	$F_u = \overline{\overline{\overline{\overline{A \cdot B \cdot C}}}} = \overline{\overline{\overline{A+B+C}}}$

Układy bramek charakteryzują się następującymi podstawowymi parametrami: realizowaną funkcją  $F$ , ilością wejść, obciążalnością wyjściową (fan-out), średnim czasem opóźnienia oraz stratą mocy. Obciążalność wyjściowa (wzmocnienie logiczne-fan-out) oznacza liczbę układów tego samego typu, które można dołączyć równolegle do wyjścia rozpatrywanego układu bramki, bez naruszenia:

prawidłowej pracy układu. Inaczej, można scharakteryzować obciążalność wyjściową jako dopuszczalną wartość prądu na wyjściu układu, wyrażoną w standardowych jednostkach, odpowiadających wartości prądu pobieranego przez wejście dalszego dołączonego układu logicznego, należącego do tej samej serii układów. Średni czas opóźnienia albo średni czas propagacji (propagation delay) układu logicznego określa szybkość jego działania. Średni czas opóźnienia  $t_p$  określa się jako średnią arytmetyczną czasów  $t_1$  i  $t_2$ ;  $t_p = \frac{1}{2} (t_1 + t_2)$ , co przedstawiono na rysunku 1.2.

Strata mocy jest to wartość mocy pobieranej przez układ logiczny ze źródła zasilania przy przełączaniu go przebiegiem prostokątnym o wypełnieniu 1:2.

Dalszymi charakterystycznymi wielkościami określającymi cyfrowe układy scalone są charakterystyki przeniesienia "wejście-wyjście", poziomy logiczne, amplitudy logiczne, parametry zakłóceńowe, takie np. jak odstęp od zakłóceń, zakres temperatur pracy, pobór mocy, niewrażliwość na zmianę napięć zasilających i temperaturę oraz inne.

Jak wcześniej nadmieniono, w praktyce są stosowane zwykle układy logiczne realizujące funkcję NAND albo NOR. Każdy z tych układów może mieć szereg rozwiązań konstrukcyjnych, różniących się między sobą rodzajem zastosowanych elementów lub sprzężeń między elementami układów. W następnej części artykułu zostaną omówione podstawowe typy cyfrowych układów scalonych.

### 1.3. Zagadnienia technologiczne

Idea scalania daje się korzystnie zrealizować w technice półprzewodnikowej. Wynalezienie przed około 20 laty tranzystora przyczyniło się do bardzo szybkiego rozwoju tej dziedziny. W okresie tych dwudziestu lat powstały tranzystory o coraz to lepszych parametrach. W latach sześćdziesiątych pojawiły się tranzystory krzemowe, przy zastosowaniu technologii, która do dziś jest stosowana. Pierwsze prace w zakresie integracji w technice półprzewodnikowej podjęto na świecie w roku 1958, a produkcję półprzewodnikowych układów scalonych - w roku 1961.

Technologia półprzewodnikowych układów scalonych polega na wytwarzaniu kompletnych układów elektronicznych składających się z elementów czynnych i biernych na jednej płytce półprzewodnika. Na półprzewodnikowym podłożu wytwarzane są obszary funkcjonalne elementów, obszary izolujące elementy, połączenia wewnętrzne między elementami oraz doprowadzenia zewnętrzne. Stosuje się obecnie w technice wytwarzania układów scalonych te same podstawowe procesy technologiczne, jak przy wytwarzaniu indywidualnych tranzystorów epitaksjalnych, a więc: osadzanie krzemowych warstw epitaksjalnych, utlenianie powierzchni krzemu, dyfuzja domieszek w krzemie i próżniowe osadzanie warstw metalicznych. Przy zastosowaniu techniki fotolitograficznej o dużej dokładności uzyskuje się dzięki maskującym warstwom tlenku krzemu odpowiednie strefy izolowanych wysp (przy odpowiedniej biegunowości

przykładanych napięć) i następnie obszary bazy i emitera, w które na właściwą głębokość zostają wdyfundowane odpowiednio dozowane domieszki. Na jednej płytce krzemowej o średnicy około 30 mm można za pomocą omówionych metod wytwarzać jednocześnie kilkaset tranzystorów.

Małe wymiary układów, duża niezawodność działania, małe koszty przy masowej produkcji spełnia wymieniona technologia epitaksjalna. Poszczególne elementy wchodzące do układu realizowanego w technice scalonej są od siebie izolowane. Zwykle do izolacji stosowane są zaparowe warstwy izolujące.

Na rysunku 1.3 są uwidocznione 3 obszary funkcjonalne przedstawiające odpowiednio: a) tranzystor wieloemitery (typowy dla bramki realizowanej w technice TTL), b) 2 rezystory oraz c) 1 kondensator. Później zostaną przedstawione w skrócie kolejne podstawowe procesy technologiczne stosowane w czasie produkcji wymienionych elementów.

Na krzemowej płytce podłożowej typu p zostaje wdyfundowana silnie domieszkowana warstewka  $n^+$  (tzw. warstwa pogrzebana albo podkolektorowa). Ten proces stosuje się w obszarach funkcjonalnych tranzystorów w celu zmniejszenia rezystancji szeregowej kolektora i w efekcie końcowym zwiększenia częstotliwości pracy tranzystora. Następnie zostaje wytwarzana warstwa epitaksjalna typu n, następnie utleniona w celu wytworzenia izolującej warstwy tlenku krzemu ( $SiO_2$ ). W następnym etapie są wytwarzane fotolitograficznie przy zastosowaniu masek z emulsji światłoczułej i chemicznym wytrawianiu obszarów nieza-

maskowanych i wytrawianiu otworów w warstwie  $\text{SiO}_2$ , kontury oddzielnych obszarów funkcjonalnych. Obszary te powinny być wzajemnie izolowane. W wytrawione otwory wdyfundowane są na skroś przez warstwę epitaksjalną domieszki typu p. Powstają w ten sposób wyspy typu n, odizolowane od podłoża, za pomocą spolaryzowanych w kierunku zaporowym złączy p-n. Aby uzyskać taką polaryzację, podłoże musi być dołączone do źródła napięcia o najniższym potencjale, wyspa zaś typu n do źródła napięcia o najwyższym potencjale. Przez wdyfundowanie domieszki p do obszaru wyspy uzyskuje się obszar bazy. Przez dyfuzję domieszki  $n^+$  do obszaru bazy uzyskuje się emitery, a przez dyfuzję tej samej domieszki  $n^+$  do obszaru wyspy n uzyskuje się kolektor. Następnie za pomocą naparowywania warstw metalicznych wykonywane są połączenia między elementami układu, najczęściej przy zastosowaniu Al. Wreszcie dołączane są połączenia zewnętrzne (najczęściej metodą termokompresji).

Występowanie warstwy izolacyjnej utworzonej przez złącze p-n jest powodem wytworzenia elementów pasożytniczych, takich jak tranzystor p-n-p, utworzony przez podłoże (kolektor), warstwę epitaksjalną (baza) i obszar dyfuzyjny typu n (emiter). Szkodliwe działanie tranzystora p-n-p jest wyeliminowane, jeśli oba złącza tranzystora będą spolaryzowane w kierunku zaporowym. Poza tym dzięki warstwie pogrzebanej  $n^+$  uszkodzenie tranzystora pasożytniczego zostaje zmniejszone. Napięcie złącza kolektor-baza wytwarzanych tranzystorów w technice układów scalonych jest utrzymywane w granicach

od 20 do 80 V, zależnie od stopnia zawartości domieszek, a napięcie złącza emiter-baza - w granicach od 5 do 7,5 V. Graniczna częstotliwość tranzystorów przy zwykłej zawartości domieszek jest rzędu 200 MHz. W układach scalonych rozrzut parametrów na przykład wzmocnienia prądowego jest taki sam, jak przy produkcji indywidualnych elementów półprzewodnikowych, a więc waha się w zakresie 1:5, natomiast dla tranzystorów wytworzonych w bezpośrednim sąsiedztwie na tej samej płytce krzemowej, rozrzut nie przekracza 10%. Tranzystory realizowane jednocześnie w bezpośrednim swym sąsiedztwie na jednej płytce mogą nadawać się do układów, w których wymagany jest specjalnie mały rozrzut parametrów.

W niektórych zastosowaniach stosuje się równocześnie dwa typy tranzystorów n-p-n i p-n-p. Ten drugi typ tranzystora jest możliwy do wytworzenia na tej samej płytce co tranzystor n-p-n.

W technice układów scalonych diody są wytwarzane z tranzystorów przez wykorzystanie odpowiedniego złącza tranzystora. Napięcie przewodzenia, czas przełączania i inne parametry diody są zależne od rodzaju wykorzystywanego złącza tranzystora. Diody wykonane w bliskim sąsiedztwie, przy jednakowym prądzie przez nie płynącym, nie wykazują odchyłek spadku napięcia większych od 5 mV i charakteryzują się współczynnikiem temperaturowym rzędu  $-2 \text{ mV}/1^\circ\text{C}$ .

Sposób wytworzenia rezystora przedstawiono na rys. 1.3b (obszar funkcjonalny b). Wykorzystywana jest warstwa dyfuzyjna typu p, ta sama, która jest wykorzystywa-

na do wytworzenia obszaru bazy. Ekonomicznie produkowane rezystory, to znaczy zajmujące na płytce półprzewodnika rozsądne wymiary, mogą być produkowane w zakresie wartości od  $50 \Omega$  do  $40 \text{ k}\Omega$ . Pomiędzy wykonanym w obszarze p rezystorem i warstwą epitaksjalną leży warstwa zaporowa i występują rozłożone wzdłuż wykonanego rezystora pojemności pasożytnicze warstwy zaporowej. Rezystor z pojemnościami szkodliwymi tworzy układ filtra dolno-przepustowego RC, o częstotliwości granicznej rzędu 10 MHz, a w niektórych rozwiązaniach rzędu 100 MHz. Rozrzuty wykonywanych rezystorów w układach scalonych są rzędu 20%. Rezystory, leżące w bezpośrednim sąsiedztwie na płytce półprzewodnika, mają rozrzuty wartości mniejsze od 5%. Współczynnik temperaturowy wytworzonych rezystancji jest rzędu  $10^{-4} + 10^{-3}/^{\circ}\text{C}$ .

W technice półprzewodnikowych układów scalonych można w sposób ekonomiczny wykonywać kondensatory w zakresie do 200 pF. Do budowy pojemności wykorzystuje się pojemność warstwy zaporowej (por. rys. 1.3c (obszar funkcjonalny c)). Wartość tak wytworzonej pojemności jest jednak odwrotnie proporcjonalna do pierwiastka drugiego lub trzeciego stopnia z wartości napięcia przyłożonego do złącza spolaryzowanego w kierunku zaporowym. Pojemność złącza p-n zależy od stopnia zawartości domieszek poszczególnych obszarów, przyłożonego napięcia i powierzchni złącza. Dla złącza kolektor-baza, przy założeniu napięcia przyłożonego do tego złącza 0 V, jednostkowa pojemność wynosi około  $220 \text{ pF}/\text{mm}^2$ . Dobroć kondensatora jest określona przez rezystancje doprowadzenia i wy-



ności od 10 do 100. Istnienie pojemności szkodliwych między zaciskiem D i podłożem (rys. 1.3) oraz zależność wytworzonej pojemności od przyłożonego napięcia ogranicza zastosowanie tego typu pojemności. Współczynnik temperaturowy dla tych pojemności jest rzędu  $10^{-3} + 10^{-4}/^{\circ}\text{C}$ .

Do wytwarzania pojemności w układach scalonych wykorzystuje się też kondensatory z warstwą  $\text{SiO}_2$  jako dielektrykiem. Wadą tych elementów jest konieczność stosowania większych powierzchni. Wsp. temp.  $\Delta_c$  pojemności jest rzędu  $3 \cdot 10^{-4}/^{\circ}\text{C}$ .

W układach scalonych w dalszym ciągu nie jest możliwe wytwarzanie indukcyjności i transformatorów.

Reasumując powyższe rozważania, można stwierdzić, że w obecnie stosowanej technice wytwarzania półprzewodnikowych układów możliwe jest wytworzenie tranzystorów, rezystorów w zakresie wartości od  $200 \Omega$  do  $20 \text{ k}\Omega$  oraz pojemności w zakresie do  $200 \text{ pF}$ . Przy czym rozrzut parametrów wytwarzanych elementów wynosi zwykle  $10 \pm 20\%$ .

Wyżej wymienione ograniczenia co do typu, zakresu wartości i tolerancji elementów wymagają w tym zakresie współpracy projektującego układy z technologiem.

## 2. PRZEGLĄD PODSTAWOWYCH LOGICZNYCH UKŁADÓW SCALONYCH

### 2.1. Układy logiczne RTL

Schemat elektryczny układu podstawowej bramki NOR, realizowanej w rodzinie rezystorowo-tranzystorowych układów logicznych RTL (Resistor-Transistor Logic) przedstawiono na rys. 2.1. Wartości napięcia  $U_B$  oraz wartości

rezystorów są tak dobrane, by dla zmiennych wejściowych A, B, C równych "0" tranzystor był zablokowany, czyli napięcie na jego kolektorze było dodatnie. Ten stan na wyjściu bramki odpowiada "1". Jeśli tylko na jednym z wejść pojawi się stan odpowiadający "1", to tranzystor wchodzi w zakres nasycenia i napięcie na jego wyjściu jest bliskie zera ( $F = 0$ ). Tak więc układ bramki realizuje logiczną funkcję NOR w dodatniej konwencji.

Wadą układu bramki realizowanej w rodzinie RTL jest stosunkowo niska wartość napięcia progowego (w granicach od 0,3 do 0,6 V), duża zależność podstawowych charakterystyk bramki od temperatury oraz mała szybkość pracy. Z powodu konieczności stosowania wielu stabilnych rezystorów układy RTL nie znalazły trwałego zastosowania w technice półprzewodnikowych układów scalonych.

## 2.2. Układy logiczne DCTL

Schemat elektryczny układu podstawowej bramki, realizowanej w rodzinie tranzystorowych układów o sprzężeniu bezpośrednim DCTL (Direct Coupled Transistor Logic) został przedstawiony na rys. 2.2. Układ ten cechuje się wykorzystaniem małej liczby elementów oporowych, zaś większej liczby tranzystorów, dzięki czemu bardzo dobrze nadaje się do scalania.

Prostota układu bramki w technice DCTL stawia jednak duże wymagania parametrom stosowanych tranzystorów i wymaga małego ich rozrzutu. Modyfikacją podstawowego układu DCTL jest układ przedstawiony na rys. 2.3. Rezystan-

cje w obwodach baz zapobiegają niesymetrycznemu podziałowi prądu pobieranego przez poszczególne tranzystory. W ten sposób zostają złagodzone wymagania na rozrzut parametrów tranzystorów wchodzących do układu bramki, przy czym jednak szybkość działania układu ulega zmniejszeniu. Dalsza modyfikacja układu polega na dołączaniu pojemności równoległe do rezystancji w bazach tranzystorów. Tak włączone pojemności wpływają na skrócenie czasu włączenia tranzystora oraz czasu magazynowania nośników. W układach bramek z rys. 2.2 i 2.3., gdy zmienne wejściowe A, B, C przyjmują wartości odpowiadające "0", wówczas tranzystory T1, T2, T3 są zablokowane i napięcie na wyjściu bramki jest w przybliżeniu równe napięciu  $+U_k$ , co odpowiada "1" (przy konwencji logicznej dodatniej), czyli  $F = 1$ . Jeśli tylko na jednym z wejść A, B, C pojawi się "1", to tranzystor na wejściu którego pojawia się ten stan, przechodzi w zakres nasycenia, a więc napięcie na wyjściu bramki przyjmuje wartość w przybliżeniu 0 V, co odpowiada "0";  $F = 0$ . Z powyższych rozważań wynika więc, że układ bramki realizuje funkcję logiczną NOR.

Wadą tej rodziny układów jest niska wartość napięcia progowego w granicach (0,3 + 0,6 V) oraz duża zależność podstawowych charakterystyk bramki od temperatury. Obciążalność wyjściowa jest rzędu 10 + 20, typowe średnie czasy opóźnienia są w zakresie 10 + 40 ns.

### 2.3. Układy logiczne DTL

Schemat elektryczny układu podstawowej bramki w rodzinie diodowo-tranzystorowych układów logicznych DTL (Diode-Transistor Logic) przedstawiony jest na rys. 2.4. Układ podstawowej bramki składa się z wejściowej bramki logicznej (elementy  $D1, D2, D3, R_d$ ), diod przesuwających ( $D4, D5$ ) oraz inwertera, zbudowanego z tranzystora  $T1$  i oporników  $R_B$  i  $R_K$ . Nazwa tej bramki pochodzi od diodowej bramki wejściowej. Do obwodu bazy tranzystora  $T1$  może być dołączona w zasadzie jedna lub kilka diod przesuwających. Jeśli w powyższym układzie zmienne wejściowe  $A, B, C$  przyjmą wartości "0", wówczas diody  $D1, D2, D3$  są w stanie przewodzenia i spadek napięcia na nich równa się  $U_p$ . Jest to napięcie w punkcie "a" (rys. 2.4), które jest podawane jednocześnie na bazę tranzystora  $T1$  poprzez diody  $D4, D5$ . Ponieważ spadek napięcia na diodach  $D4, D5$ , gdy były w stanie przewodzenia, wynosiłby  $2 U_p$ , zatem napięcie  $U_p$  w punkcie "a" jest niewystarczające do wprowadzenia tych diod do stanu przewodzenia i tranzystor jest zablokowany, a więc  $F = 1$ . Odblokowanie tranzystora jest możliwe tylko wówczas, gdy napięcie w punkcie "a" osiągnie wartość większą od  $2 U_p$ , czyli, gdy na wejściach  $A, B, C$  pojawią się równocześnie "1". Wówczas diody  $D1, D2, D3$  będą zablokowane, a prąd płynący w obwodzie: źródło napięcia  $+U_k$ , opornik  $R_d$ , diody  $D4, D5$ , opornik  $R_B$ , spowoduje dodatnią polaryzację bazy tranzystora, wprowadzając go w stan nasycenia, co odpowiada  $F = 0$ . Układ wejściowej bramki realizuje

funkcję logiczną AND, gdyż na wyjściu występuje "1" tylko wówczas, gdy wszystkie zmienne wejściowe A, B, C, przyjmują wartość "1". Ponieważ stopień wyjściowy realizuje funkcję negacji, więc układ podstawowej bramki z rys. 2.4 realizuje funkcję logiczną NAND.

Stosując w układzie większą liczbę diod przesuwających, zwiększa się wartość napięcia progowego układu, powiększając w ten sposób niewrażliwość układu na zakłócenia. Bardzo znaczne powiększenie niewrażliwości na zakłócenia osiągnąć jest przy użyciu diod Zenera. (o napięciach do 6 V). Tak zrealizowane układy bramek zostały oznaczone jako DTZL.

Układy logiczne DTL mają współczynnik obciążalności wyjściowej 10 + 20 oraz czas opóźnienia od 20 do 100 ns. Technika DTL do niedawna stanowiła najszerszej stosowaną technikę w układach logicznych.

Istnieje wiele odmian układu bramek realizowanych w technice DTL. Układ logiczny HL DTL (High Level Diode-Transistor Logic), przedstawiony na rys. 2.5, jest modyfikacją układu podstawowej bramki DTL. Układ ten ma rozbudowaną część wyjściowej bramki podstawowej, złożoną z dwu tranzystorów (T2, T3), tworzących dwutaktowy inwerter kaskadowy (totem-pole) sterowany za pomocą układu inwersji fazy (tranzystor T1). Układ ten pozwala na uzyskanie małej rezystancji wyjściowej i na sterowanie układów o znacznej pojemności wejściowej.

Następną modyfikacją układu podstawowej bramki DTL jest układ LC DTL (Load-Compensated Diode-Transistor Logic) przedstawiony na rys. 2.6. W tym układzie wyjście

diody przesuwającej zostaje dołączone do wtórnika emiterowego (tranzystor T1), sterującego układ inwertera (tranzystor T2). Wtórnik emiterowy pobiera tylko tyle prądu, ile pobiera układ obciążający, podłączony do wyjścia rozpatrywanej bramki. W przypadku zwiększenia obciążenia zostaje doprowadzony do wejścia tranzystora T2 większy prąd. W pętłę sprzężenia zwrotnego jest włączona dioda D5, dzięki czemu uzyskuje się możliwość pracy tranzystora T2 w zakresie czynnym (a nie nasycenia). Układ LC DTL charakteryzuje się w związku z tym dużą szybkością działania. Ponieważ wpływ tolerancji elementów na pracę układu jest mało krytyczny, układ ten szczególnie dobrze nadaje się do scalania. W układzie tym możliwe jest uzyskanie obciążalności wyjściowej rzędu 40 i wartości czasów opóźnienia w granicach od 6 do 20 ns.

#### 2.4. Układy logiczne TTL

Zastępując wejściową bramkę logiczną i diodę przesunięcia układu DTL z rys. 2.4. jednym wieloemiterowym tranzystorem, dochodzi się do układów logicznych tranzystorowo-tranzystorowych (TTL - Transistor - Transistor Logic). Rysunek 2.7 przedstawia schemat elektryczny układu najprostszej bramki TTL. Funkcja logiczna realizowana przez tę bramkę jest identyczna z funkcją podstawowej bramki DTL. Jeśli co najmniej na jednym wejściu wystąpi napięcie bliskie zero ("0"), to wieloemiterowy tranzystor wejściowy jest w stanie nasycenia. Na kolektorze tego tranzystora występuje napięcie bliskie 0 V,

w związku z czym tranzystor wyjściowy T2 jest w stanie zablokowania, co oznacza, że na jego wyjściu panuje napięcie równe w przybliżeniu  $+U_k$  ("1"). W przypadku, gdy na wszystkich wejściach układu występuje napięcie  $+U_k$ , to złącze baza-kolektor zostaje spolaryzowane w kierunku przewodzenia. Tranzystor wyjściowy zostaje tak wysterowany, że napięcie na jego kolektorze jest bliskie 0 V. W ten sposób układ ten realizuje funkcję logiczną NAND. Układ przedstawiony na rys. 2.7 należy do układów o małym poziomie mocy i dlatego nieraz jest określany jako LL TTL (Low Level Transistor - Transistor Logic). Często na wyjściu układów logicznych TTL stosuje się układy Darlingtona w celu obniżenia impedancji wyjściowej oraz podniesienia szybkości pracy przy obciążeniu pojemnościowym. Rysunek 2.8 przedstawia schemat bramki TTL często stosowanej w półprzewodnikowych układach scalonych.

Układy logiczne TTL charakteryzują się bardzo małymi czasami opóźnienia, ponieważ ładunki dostarczane do stopnia wyjściowego nie pochodzą z pasywnych diod, jak w układach DTL, lecz z aktywnych tranzystorów. Obok tej cechy dodatniej układów TTL w stosunku do układów DTL, dalszą zaletą rozpatrywanych układów jest to, że tranzystor wielcemiterowy ma mniejsze wymiary od diod, układów DTL, wymagających oddzielnych izolowanych obszarów. Typowe wartości czasów opóźnienia są w zakresie od 4 do 15 nsek. Układy logiczne TTL z tranzystorowymi stopniami wyjściowymi w układach Darlingtona osiągają wyjściową obciążalność rzędu 50. Rodzina układów TTL

może współpracować z układami rodziny DTL.

Ze względu na to, że układy logiczne TTL nadają się szczególnie dobrze do scalania i są korzystniejsze pod względem parametrów technicznych w porównaniu z innymi rodzajami układów logicznych, układy te są obecnie na całym świecie najczęściej stosowane.

Dokładniejsze omówienie zasady pracy, określenie podstawowych parametrów i przykłady zastosowania tych układów będą podane w dalszej części artykułu.

### 2.5. Układy logiczne ECTL

Praca układów logicznych o sprzężeniu emiterowym, z zastosowaniem tranzystorów ECTL (Emitter-Coupled-Transistor Logic) opiera się na zasadzie przełączania prądowego. Zasadę pracy przedstawiono opierając się na układzie najprostszej bramki ECTL, pokazanej na rys. 2.9. Baza tranzystora T2 jest dołączona do źródła napięcia odniesienia  $U_0$  ( $0 < U_0 < U_K$ ). Na bazę tranzystora T1 są podawane napięcia  $U_{GZ}$  i  $U_{GW}$ , symetryczne względem  $U_0$ , spełniające zależności:

$$U_{GZ} \geq U_0 + (U_{BEX} - U_{BEY})$$

gdy tranzystor T1 przewodzi, tranzystor T2 jest zablokowany

$$U_{GW} \leq U_0 - (U_{BEX} - U_{BEY})$$

gdy tranzystor T1 jest zablokowany, tranzystor T2 przewodzi.



W powyżej przedstawionych zależnościach:  $U_{BEX} > 0$  - napięcie baza-emiter tranzystora przewodzącego,  $U_{BEX} < 0$  - napięcie baza-emiter tranzystora zablokowanego. Wartość różnicy napięć ( $U_{BEX} - U_{BEX}$ ) jest bliska wartości 600 mV i w zasadzie nie zależy od temperatury. W rozważanym układzie obydwa tranzystory (T1 i T2) są sprzężone przez wspólną rezystancję  $R_E$  w obwodach emiterów, co stanowi typową cechę układów z przełączaniem prądowym. Często zamiast rezystancji  $R_E$  stosowane jest w obwodach emiterów tranzystorów T1 i T2 źródło prądu stałego, uzyskiwane przy użyciu dodatkowego tranzystora. Zasadę przełączania prądowego opisano niżej. Jeżeli  $U_G = -U_{GW}$  to tranzystor T1 jest zablokowany, a tranzystor T2 przewodzący; czyli na wyjściu F1 istnieje napięcie dodatnie  $+U_K$ , odpowiadające "1", zaś na wyjściu F2 (kolektorze tranzystora T2) występuje napięcie zbliżone do wartości napięcia odniesienia  $U_0$ , odpowiadające "0". A więc:

$$I_{E1W} \approx 0$$

$$I_{E2W} \approx \frac{1}{R_E} (U_0 - U_{BEX})$$

$$U_{KE1W} \approx U_K - U_0 + U_{BEX}$$

Jeżeli  $U_G = U_{GZ}$ , to tranzystor T1 jest przewodzący, a tranzystor T2 zablokowany, czyli  $F1 = 0$  i  $F2 = 1$ , wtedy:

$$I_{E1Z} \approx \frac{1}{R_E} (U_{GZ} - U_{BEX})$$

$$I_{E2Z} \approx 0$$

$$U_{KE1Z} \approx U_K - \frac{R_E + R_K}{R_E} (U_{GZ} - U_{BEX})$$

Jeśli założyć:  $U_{BEX} \ll U_0$ ;  $|U_{BEX}| \ll U_0$ , wtedy:

$$I_{E1Z} \approx I_{E2W}$$

Powyższa zależność oznacza, że w przybliżeniu ta sama wartość prądu zostaje z jednego tranzystora "wyłączona" i "załączona" do drugiego. Ta właśnie zasada stała się podstawą określenia tych układów, jako układów z przełączaniem prądu. Z tego też powodu obok oznaczenia tej rodziny układów jako ECTL stosowane jest oznaczenie CML (Current Mode Logic) lub ECCSL (Emitter-Current-Coupled-Steered Logic). Z zależności przytoczonych wyżej wynika, że przy odpowiednim doborze wartości  $R_E$  i  $R_K$ , punkt pracy tranzystora może być umieszczony w zakresie czynnym - rys. 2.10. Ze względu na zachowanie symetrii pracy obu tranzystorów powyższe rozważania dotyczą obydwu tranzystorów. Dzięki możliwości pracy układów ECTL bez osiągnięcia stanu nasycenia uzyskuje się bardzo małe czasy opóźnień; tym właśnie układy ECTL wyróżniają się spośród innych typów scalonych układów cyfrowych. Należy także zauważyć, że w układach ECTL obok właściwego sygnału występuje sygnał będący jego uzupełnieniem (negacja). W układzie przedstawionym na rys. 2.9 wyjście  $F_1$  realizuje funkcję NOR, zaś wyjście  $F_2$  realizuje funkcję OR.  $F_2 = \overline{F_1}$ .

Na rysunku 2.11 przedstawiony został przykład reali-

zacji technicznej układu bramki ECTL. Na wyjściach bramki zastosowano układy wtórników emiterowych, które umożliwiają wzrost obciążalności wyjściowej. Napięcie odniesienia uzyskuje się za pomocą dzielnika napięcia oraz wtórnika zbudowanego na tranzystorze T5. Stosowane są układy bramek ECTL, w których zamiast opornika  $R_E$  zastosowano źródło prądowe o stałej wydajności prądowej  $I_E$ , co przedstawiono na rys. 2.12. Układ powyższy ma źródło prądowe zrealizowane przy zastosowaniu tranzystora T6 o stałej wydajności  $I_E$ . Układ ten nosi oznaczenie EECL (Emitter-Emitter Coupled Logic). Układ ten charakteryzuje się małymi pojemnościami wejściowymi, a więc możliwością uzyskania małych czasów przełączania. Uzyskano to dzięki zastosowaniu stopni wejściowych pracujących w układzie wspólnego kolektora. Wyjścia układu bramki F1 i F2 mogą być, jeśli zachodzi potrzeba, dołączone do układu wtórnika.

Jako zaletę układów logicznych ECTL należy wymienić małe wartości czasów opóźnienia, od 1,5 + 4 nsek. Tak małe czasy opóźnienia uzyskano, jak już zaznaczono, dzięki temu, że tranzystory pracują w zakresach czynnych (a nie w zakresach nasycenia). Obciążalność wyjściowa układów wynosi od 10 do 40.

Na wyjściach układu bramek ECTL można uzyskać obok właściwego sygnału jego uzupełnienie. Pobór mocy całego układu jest niezależny od stanu, w jakim znajduje się bramka. Wartość napięcia progowego zakłóceń jest niezależna od zmiany temperatury.

Do wad układów ECTL należy zaliczyć małą różnicę napięć między sygnałami "0" i "1" oraz większy pobór mocy w porównaniu z układami, w których tranzystory pracują w zakresie nasycenia.

Układy ECTL znajdują obecnie zastosowanie w najszybciej pracujących urządzeniach cyfrowych (np. bardzo szybkie maszyny matematyczne). Stały pobór mocy ułatwia rozdział prądu zasilania i likwiduje zakłócenia impulsowe pochodzące z zasilania urządzeń. Wyjścia sygnałów uzupełniających pozwalają na zmniejszenie liczby bramek potrzebnych do uzyskania podstawowych funkcji logicznych.

## 2.6. Układy logiczne MOSFETL

W celu zrozumienia zasady pracy układów logicznych stosujących tranzystory polowe MOS-MOSFETL (Metal-Oxide-Semiconductor-Field-Effect-Transistor Logic) zostanie omówiona najpierw budowa i zasada pracy tranzystorów polowych. Tranzystory polowe w odróżnieniu od tranzystorów bipolarnych pracują na zasadzie zjawisk oddziaływania pola elektrycznego na półprzewodnikowy kanał. Sterowanie prądu przepływającego przez kanał tranzystora odbywa się za pomocą oddziaływania poprzecznego pola elektrycznego na efektywną szerokość kanału przewodzącego prąd. W tranzystorach polowych w przepływie prądu uczestniczą tylko nośniki większościowe.

Do grupy tranzystorów polowych wchodzi polowe tranzystory złączowe (FET), tranzystory z metalową elektrodą sterującą odizolowaną warstwą dwutlenku krzemu od

półprzewodnika (MOS) oraz tranzystory polowe cienko-warstwowe z napyłaną warstwą półprzewodnika na podłożu izolacyjnym (TFT - Thin Film Transistor).

W pracy zostaną omówione układy logiczne z zastosowaniem tranzystorów MOS FET. Tranzystory MOS FET mogą mieć kanały typu p lub n, zależnie od charakteru nośników większościowych. Schemat zasadniczy konstrukcji tranzystora MOS FET z kanałem typu p jest przedstawiony na rys. 2.13. Elektroda sterująca (bramka) jest oddzielona od półprzewodnikowego kanału warstwą dielektryka (tlenek krzemu -  $\text{SiO}_2$ ). Dla tranzystorów MOS z kanałem typu p napięcie polaryzujące bramkę i dren powinno być ujemne w stosunku do źródła. Zakładając, że źródło ma potencjał 0 V, rozróżnia się dwa zakresy pracy. Gdy napięcie bramki  $U_B$  jest większe od pewnego napięcia granicznego  $U_T$ , tranzystor jest zablokowany, natomiast dla wartości mniejszych od powyższego napięcia, tranzystor jest w stanie przewodzenia. Ponieważ na elektrodzie bramki zastosowano polaryzację ujemną i materiał półprzewodnika jest typu n, posiada więc elektrony, które są odpychane przez to ujemne napięcie siatki, podczas gdy "dziury" są przyciągane do obszaru bezpośrednio stycznej z elektrodą bramki. W przypadku gdy nastąpi nagromadzenie dostatecznej ilości dziur między dwoma obszarami p, ta strefa, która była dotychczas typu n, staje się obszarem typu p. Tworzy się więc inwersyjna warstwa typu p, umożliwiającą, jeśli napięcie bramki jest odpowiednio ujemne (niższe od wartości  $U_T$ ), powstanie przewodnictwa między obszarami p, utworzonymi

przez źródło i dren. Stwierdza się, że został utworzony kanał, w danym przypadku kanał typu p. Przez zmianę napięcia bramki  $U_B$ , a także napięcia drenu  $U_D$ , możliwe jest sterowanie wielkością prądu drenu  $I_D$ . Typowa charakterystyka tranzystora MOS FET z kanałem typu p została przedstawiona na rys. 2.14. Na charakterystyce tej można wyróżnić dwa obszary - obszar "triody" i obszar "pentody". Wartość napięcia  $U_T$  dla tranzystora o charakterystyce z rys. 2.14 wynosi około  $-4$  V.

W przypadku tranzystora z kanałem typu n polaryzacja elektrody bramki i drenu powinna być dodatnia. Obydwa rozpatrywane tranzystory MOS FET (z kanałem typu p i n) należą do tranzystorów z kanałem indukowanym (lub inaczej określanym jako tranzystory wzbogacone MOS) i charakteryzują się tym, że przy napięciu bramka-źródło  $U_{GS} = 0$  V tranzystor jest zablokowany niezależnie od stosowanego typu kanału, co przedstawiono na charakterystykach z rys. 2.15 - krzywe a i b.

Istnieją też tranzystory MOS FET z kanałem wdyfundowanym (lub inaczej określanym jako tranzystory zubożone), które charakteryzują się tym, że między obszary źródła i drenu zostaje wdyfundowany lub nałożony epitaksjalnie kanał o takim samym typie przewodnictwa, jak typ przewodnictwa źródła i drenu. Charakterystyki tych tranzystorów w zależności, czy pracują z kanałem typu n, czy p przedstawiono na krzywych c) i d) rys. 2.15. Można zauważyć, że przy napięciu  $U_B = 0$  V występuje przewodzenie w kanale. Przewodzenie prądu zostaje zahamowane przez przyłożenie dodatniego napięcia (w kanale typu p) lub ujemnego napięcia (w kanale typu n).

W układach cyfrowych są stosowane najczęściej tranzystory MOS FET z kanałem indukowanym. Tranzystory MOS FET z kanałem wdyfundowanym mają zastosowanie głównie w układach analogowych. Proces wytwarzania cyfrowych układów MOS FET wymaga mniejszej ilości etapów, niż procesy stosowane przy wytwarzaniu układów z tranzystorami bipolarnymi, ale etapy te muszą być przeprowadzane w warunkach o wiele bardziej krytycznych pod względem czystości.

Najprostszy układ bramki z zastosowaniem tranzystora MOS FET został przedstawiony na rys. 2.16. Włączając rezystancję  $R$  między źródło napięcia zasilającego  $U_D$  i dren  $D$ , można uzyskać najprostszy układ realizujący funkcję negacji. Dla napięcia  $U_G$  mniejszego od napięcia  $U_T$  tranzystor jest zablokowany i napięcie  $U_{DS}$  jest równe napięciu  $U_D$ . Gdy wartość napięcia  $U_G$  jest większa od wartości napięcia  $U_T$ , tranzystor przewodzi i napięcie  $U_{DS}$  jest bliskie wartości  $0\text{ V}$ . Z charakterystyk przeniesienia  $U_{wy} = f(U_{we})$ , otrzymanych dla różnych wartości rezystancji  $R$ , wynika, że optymalna jest charakterystyka przeniesienia, otrzymana przy dużych wartościach rezystancji (powyżej  $20\text{ k}\Omega$ ). Realizowanie dużych rezystancji w technice układów scalonych wymagałoby dużych powierzchni, kilkadziesiąt razy większych od powierzchni potrzebnych do wykonania tranzystora MOS FET. Stąd w tranzystorowych układach negacji powstał pomysł wykorzystania innego tranzystora MOS FET, zastępującego rezystancję obciążenia. Uzyskana w ten sposób charakterystyka obciążenia nie stanowi dokładnie linii prostej, a

wykazuje pewną wklęsłość. Rysunek 2.17 przedstawia przykład zastosowania tranzystora MOS FET (tranzystora  $T_2$ ) jako obciążenia. Najczęściej przyjmuje się, że  $U_G = U_D$ , a więc stosuje się tylko jedno źródło zasilania. Napięcie wyjściowe jest zawarte w zakresie od wartości prawie 0 V dla stanu "0" do wartości  $(U_D - U_T)$  dla stanu "1". Zastępując rezystor R tranzystorem MOS FET, uzyskano łatwy do realizacji w technice scalonej układ negacji o bardzo małej powierzchni. Przykład układu prostej bramki NOR, wykonanej w technice MOS FET, został przedstawiony na rys. 2.18. Charakterystyczną cechą układów MOS FETL jest możliwość produkowania wszystkich elementów układu za pomocą tej samej techniki. Czasy opóźnienia układów logicznych MOS FETL są rzędu 50 ns. W porównaniu z układami scalonymi, z tranzystorami bipolarnymi, układy MOS FET wymagają do swego wystereowania bardzo małych prądów. Ponieważ elektroda sterująca (bramka) jest izolowana warstwą tlenku krzemu  $SiO_2$  od pozostałej części układu, rezystancja wejściowa układu osiąga bardzo duże wartości, rzędu  $10^{12} \Omega$ . Układy MOS FETL wymagają więc małego poboru mocy ze źródeł zasilania. Wadą układów MOS FETL jest stosunkowo wysokie napięcie zasilania (od 6 do 12 V), większa rezystancja wyjściowa z racji małej przewodności kanału (kilkaset omów) oraz występowanie pojemności bramka-podłoże. Pojemność bramka-podłoże, nawet mimo małych wartości, ma duży wpływ na szybkość pracy układów na skutek dużych wartości oporności wyjściowych układów.



W technice MOS FETL realizuje się łatwiej żądane funkcje logiczne oraz uzyskuje się w stosunku do techniki TTL około 50-100-krotnie większe zagęszczenie elementów na czynnej powierzchni. Wydaje się, że ta technika układów scalonych znajdzie szczególnie szerokie zastosowanie już w niedalekiej przyszłości w układach LSI, w przypadkach gdy nie będzie wymagana duża szybkość pracy.

## 2.7. Układy logiczne CTL i COS MOS FETL

Wszystkie dotychczas omawiane rodziny układów logicznych zawierały jeden rodzaj elementów czynnych: tranzystory n-p-n bądź tranzystory p-n-p, albo też tranzystory MOS FET, o kanale typu p bądź n. W przeciwieństwie do wyżej omawianych układów rodzina układów logicznych z zastosowaniem tranzystorów uzupełniających się (komplementarnych) CTL (Complementary - Transistor Logic) charakteryzuje się tym, że elementy czynne występują w typach uzupełniających się parami. Zasada ta początkowo znajdowała zastosowanie tylko w układach z tranzystorami typu n-p-n i p-n-p. Rysunek 2.19 przedstawia schemat układu negacji, zrealizowany w tej technice. W takich układach uzyskuje się dużą szybkość działania, wysoki współczynnik wyjściowej obciążalności i bardzo wysoki stopień zabezpieczenia przed zakłóceniami. Obecnie zasada stosowania tranzystorów uzupełniających się znalazła zastosowanie w elementach czynnych unipolarnych MOS FET. Stosowane są wtedy elementy MOS FET z kanałem

typu n i p. Technika ta w zastosowaniu do układów z tranzystorami MOS FET nosi nazwę techniki COSMOS FETL (Complementary - Symmetry - MOS FET - Logic). Najprostszy układ negacji zrealizowany w tej technice przedstawiono na rys. 2.20. Przy napięciu wejściowym 0 V przewodzi tranzystor p-n-p- $T_2$  (rys. 2.19) i tranzystor MOS FET z kanałem typu p- $T_2$  (rys. 2.20), zaś tranzystor n-p-n- $T_1$  i tranzystor MOS FET z kanałem typu n- $T_1$  nie przewodzi. Gdy do wejścia układu doprowadza się sygnał o wartości napięcia równego napięciu zasilania, to odpowiednio przewodzi tranzystor n-p-n oraz tranzystor MOS FET z kanałem n. Na wyjściu układu inwertera wystąpi wówczas napięcie zbliżone do wartości 0 V. W każdym ze stanów pracy jeden z tranzystorów jest zablokowany. Dlatego moc pobierana przez bramkę nie jest duża.

Rysunek 2.21 przedstawia przykład bramki NOR realizowanej w technice COSMOS FET. Do zalet techniki COSMOS FET należy zaliczyć przede wszystkim wszystkie zalety układów MOS FET. Technikę tę cechuje bardzo niski pobór mocy ze źródła zasilania - rzędu kilku  $\mu\text{W}$  na 1 bramkę, niezwykle duża impedancja wejściowa - rzędu  $10^{12} \Omega$ , czasy opóźnienia w granicach od 20 nsek do 30 nsek oraz mała wrażliwość na zakłócenia. Ostatnio pojawiły się na rynkach światowych zbudowane w technice COSMOS FETL takie urządzenia, jak wielostopniowe liczniki, rejestry i układy pamięciowe o wysokim stopniu scalenia.

## 2.8. Krótkie podsumowanie przeglądu

Na zakończenie przeglądu typów półprzewodnikowych cyfrowych układów scalonych przedstawiono podstawowe parametry funkcjonalne niektórych typowych przedstawicieli rodzin układów, produkowanych przez najważniejsze firmy światowe (por. tabl. 2.1). Z ekonomicznego i technicznego punktu widzenia wydaje się obecnie najbardziej odpowiednie zastosowanie układów TTL, a jako wzorcową serię w produkcji tego typu układów należałoby wymienić serię SN 54/74. Układy te charakteryzują się stosunkowo małym poborem mocy (około 10 mW na 1 bramkę) przy czasach propagacji rzędu 13 ns. Układy TTL cechuje poza tym duża odporność na zakłócenia, co wynika z małej rezystancji wyjściowej układów (rzędu kilkudziesięciu omów). Dzięki zastosowaniu w układach wyjściowych tranzystorów pracujących w układzie "Totem Pole" obciążenie pojemnościowe ma mały wpływ na czas propagacji. Należy jednak spodziewać się, że układy TTL będą w przyszłości wypierane przez układy MOS FETL.

Przy zastosowaniu tranzystorów MOS łatwiejsza jest realizacja układów scalonych, zwłaszcza układów średniego i wielkiego stopnia scalenia (MSI i LSI) niż przy zastosowaniu tranzystorów bipolarnych. Powierzchnia zajmowana przez tranzystor MOS na płytce krzemowej jest około 5-krotnie mniejsza od powierzchni zajmowanej przez tranzystor bipolarny. Oszczędność miejsca w przypadku stosowania tranzystorów MOS wynika też z tego faktu, że możliwe staje się wyeliminowanie powierzchni pól izola-

Tablica 2.1

Podstawowe parametry funkcyjne monolitycznych układów scalonych

Producent Typ	Szybkość		Obciążalność wyjściowa		Odporność na zakłócenia	Moc strat		Zakres temperatury		Zasilanie [V]
	Opóźnienie w elementach logicznych [ns]	Częstotliwość przebiegów [MHz]	Element logiczny	Element logiczny mocy		Element logiczny	Przebieg przebiegów [mW]	min. °C	maks. °C	
Fairchild DTL seria μL 930	25	10	9	20	700	5	20	0	70	+4 V ±10%
Texas Instr. TTL seria SN 74N	13	10	10	50	1000	10	60	0	70	+5 V ±5%
Motorola ECL seria MC 1000	4	100	25	--	175	100	250	0	70	+5,2V ±20%
RCA COS/MOS FETTL seria CD 4000	50	4	50	--	4000	5 · 10 <sup>-6</sup>	50 · 10 <sup>-6</sup>	-55	125	+10 V

cyjnych. Poza tym układy scalone z tranzystorami MOS przy ich wykonaniu wymagają mniejszej liczby etapów produkcyjnych. Dużą zaletą tych układów jest bardzo mały pobór mocy, co jest szczególnie ważne w urządzeniach, w których warunki na moc pobieraną ze źródła zasilania są krytyczne. Wadą układów scalonych stosujących tranzystory MOS jest mała szybkość pracy. Pewne zwiększenie szybkości pracy uzyskuje się stosując pary komplementarne w tzw. układach przeciwobnie symetrycznych. Układy scalone z tranzystorami MOS szczególnie dobrze nadają się do systemów telekomunikacyjnych, w których szybkość pracy nie jest parametrem krytycznym (np. centrale elektroniczne).

Przy projektowaniu urządzeń cyfrowych o bardzo dużych szybkościach pracy - o średnich czasach opóźnienia, mniejszych od 5 ns, obecnie stosuje się cyfrowe układy ECL o wyjściach wtórnikowych, gdyż tylko one pozwalają na uzyskanie największej szybkości pracy.

W urządzeniach lub zespołach, w których zależy na uzyskaniu dużej odporności na zakłócenia powinny być stosowane scalone układy cyfrowe DTZL, ponieważ mają one w porównaniu z innymi omawianymi układami największą odporność na zakłócenia (wartość odstępu od zakłóceń rzędu 6 V).

Podczas projektowania urządzeń cyfrowych, w przypadku układów peryferyjnych, które mogą podlegać największemu wpływowi zakłóceń, zaleca się stosować elementy logiczne o dużym marginesie zakłóceń (np. układy DTZL). Przy dużych szybkościach pracy i długich drogach połącze-

niowych należy zwrócić szczególną uwagę na zjawisko sprzężeń skrośnych, zakłócających poprawną pracę układu.

### 3. DZIAŁANIE I ZASTOSOWANIE CYFROWYCH UKŁADÓW SCALONYCH TTL

#### 3.1. Działanie podstawowej bramki NAND i jej parametry

Pod względem handlowym w dziedzinie scalonych układów cyfrowych na rynkach światowych obecnie dominuje rodzina układów TTL ( $T^2L$ ). W tej technice realizacja tranzystorów nie jest trudniejsza od realizacji diod i innych elementów biernych, a wieloemiterowy tranzystor wejściowy zajmuje na płycie krzemowej znacznie mniej miejsca, niż to było uprzednio potrzebne w układach z oddzielnymi diodami (technika DTL). Przy tym możliwe jest zmniejszenie pojemności pasożytniczych, w wyniku czego staje się możliwe zwiększenie szybkości pracy. Schemat układu elektrycznego powszechnie stosowanej w rodzinie układów TTL i najczęściej wytwarzanej przez różne firmy bramki przedstawia rys. 3.1.

Układ z wieloemiterowym wejściowym tranzystorem  $T_1$  jest odpowiednikiem układu składającego się z oddzielnych diod w technice DTL. Tranzystor  $T_2$  służy do odpowiedniego wysterowania układu wyjściowego, zwanego "Totem Pole", zbudowanego na tranzystorach  $T_3$  i  $T_4$ . Tranzystory tego układu spełniają rolę przełącznika działającego tak, że zawsze jeden z tych dwóch tranzystorów jest przewodzący. Taka budowa bramki przyczynia się do

powiększenia szybkości przełączania, zwłaszcza w przypadku zewnętrznego obciążenia pojemnościowego.

Poniżej zostaną szczegółowo omówione budowa, zasada pracy i zasadnicze parametry podstawowej bramki serii FI, w wykonaniu firmy RTC - Radiotechnique - Compelec. Należy jeszcze raz zaznaczyć, że większość firm produkujących scalone obwody cyfrowe stosują analogiczne schematy podstawowej bramki. Bramka realizuje funkcję logiczną NAND, przy założeniu dodatniej konwencji logicznej.

Zakładamy dwa przypadki: gdy do wszystkich wejść bramki zostaje doprowadzony poziom "wysoki" - "1" i gdy do przynajmniej jednego wejścia bramki doprowadzono poziom "niski" - "0".

Założmy pierwszy przypadek, tzn. że do wszystkich wejść zostały doprowadzone napięcia o wartościach większych od +2 V (por. rys. 3.2). Złącze baza-kolektor tranzystora T1 zostaje wtedy spolaryzowane w kierunku przewodzenia. Potencjał na bazie tranzystora T1 w stosunku do masy jest rzędu spadku napięcia na trzech złączach, a mianowicie spadku napięcia na złączu baza-kolektor tranzystora T1, spadku napięcia na złączu baza-emiter tranzystora T2 oraz spadku napięcia na złączu baza-emiter tranzystora T4. Napięcie na bazie tranzystora T1 ma wartość około 2,25 V (por. rys. 3.2). Tranzystory T2 i T4 są w stanach nasycenia i napięcie na wyjściu bramki  $U_{wy(o)}$  może przyjąć maksymalną wartość + 0,4 V. Na skutek nasycenia tranzystora T2 napięcie doprowadzone do bazy tranzystora T3 jest więc równe sumie

spadków napięcia: na złączu baza-emiter tranzystora T4, czyli około 0,75 V, oraz napięcia  $U_{KE}$  nas tranzystora T2. Równocześnie, napięcie emitera tranzystora T3 jest równe spadkowi napięcia  $U_{KE}$  nas tranzystora T4 oraz spadkowi napięcia na diodzie D, równemu w zasadzie spadkowi napięcia na złączu baza-emiter nasyconego tranzystora. Z powyższego wynika, że tranzystor T3 jest zablokowany. Dioda D jest nieodzowna, by w stanie "0" na wyjściu tranzystor T3 był zablokowany. Rysunek 3.3. przedstawia charakterystykę obciążenia wyjścia bramki, przy "0" na wyjściu bramki. Typowa bramka gwarantuje pobór prądu wyjściowego 16 mA; przy napięciu wyjściowym nie większym od 0,4 V - odpowiada to obciążalności wyjściowej równej 10. Z charakterystyki przytoczonej na rys. 3.3 powyższy warunek na pobór prądu wyjściowego jest zagwarantowany, przy napięciu wyjściowym około 0,24 V. Prąd wyjściowy układu może być zwiększony, lecz wartość napięcia wyjściowego wówczas rośnie. Dla bramek mocy gwarantowany jest pobór prądu wyjściowego 48 mA przy napięciu wyjściowym nie większym od 0,4 V, co odpowiada obciążalności wyjścia równej 30. Rezystancja wyjściowa przy stanie "0" wynosi od 10 do 20  $\Omega$ . Średni pobór prądu przez pojedyncze wejście bramki (w stanie "1") wynosi około 40  $\mu A$ .

Rozpatrzmy obecnie drugi przypadek, gdy co najmniej na jednym wejściu bramki wystąpi poziom "niski", tzn. "0", czyli inaczej na wejście bramki zostanie doprowadzone napięcie mniejsze od +0,3 V. Rysunek 3.4 przedstawia układ elektryczny bramki w tym stanie, gdy wszystkie wej-



ścia za wyjątkiem jednego są w stanie "1", natomiast ostatnie jest w stanie "0". Tranzystor T1 zostaje wprowadzony do stanu nasycenia. Ładunki nagromadzone poprzednio na bazie tranzystora T2 przez niską rezystancję tranzystora T1 zostają doprowadzone do masy układu. Tranzystor T2 zostaje wprowadzony do stanu zablokowania. Napięcie na jego kolektorze szybko wzrasta w kierunku wartości  $U_K$ , lecz jej nie osiąga, zatrzymując swój wzrost przy wartości +1,8 V. Przy tej wartości napięcia tranzystor T3 przechodzi w stan przewodzenia. Napięcie emitera tranzystora T2 dąży do napięcia masy, przez co tranzystor T4 zostaje zablokowany. W stanie ustalonym tranzystory T1 i T3 są w stanie przewodzenia, a tranzystory T2 i T4 zostają zablokowane. Na wyjściu bramki panuje napięcie odpowiadające "1"  $U_{wy(1)}$ , wyrażające się zależnością:

$$U_{wy(1)} = U_K - U_{BE3} - U_D - I_L \frac{R_2}{h_{21E3} + 1} + R_D \quad (3.1)$$

gdzie:

- $U_K$  - napięcie źródła zasilania,
- $U_{BE3}$  - spadek napięcia baza-emiter tranzystora będącego w stanie przewodzenia,
- $U_D$  - spadek napięcia na przewodzącej diodzie D,
- $I_L$  - prąd wyjściowy, płynący w obwodzie obciążenia, w stanie "1" na wyjściu bramki,

$h_{21E3}$  - współczynnik wzmocnienia prądowego tranzystora T3,

$R_D$  - rezystancja przewodzącej diody D,

$R_2$  - rezystancja charakteryst. dla bramki, równa 1,6 k $\Omega$ .

Przy doprowadzeniu do wejścia napięcia o wartości co najwyżej +0,8 V, "wysoki" poziom napięcia wyjściowego jest równy co najmniej +2,4 V. Jeżeli przyłożone napięcie jest niższe od +0,8 V, napięcie wyjściowe wzrasta; jego typowa wartość wynosi +3,3 V. Charakterystyka obciążenia wyjścia bramki, będącej w stanie "1" przedstawiona została na rys. 3.5. Gwarantowany prąd wyjściowy dostarczany z wyjścia bramki wynosi 400  $\mu$ A, co odpowiada obciążalności wyjściowej równej 10. Wiąże się to z tym, że pojedyncze wejście bramki pobiera w stanie "1" na wejściu prąd 40  $\mu$ A (rys. 3.2). Zwiększenie prądu wyjściowego ponad wartość 400  $\mu$ A powoduje spadek napięcia wyjściowego. Przy małym poborze prądu z wyjścia bramki (poniżej 400  $\mu$ A) zwiększenie prądu wyjściowego o 1 mA zmniejsza napięcie na wyjściu o około 70 mV. Odpowiada to więc rezystancji wyjściowej około 70  $\Omega$ . Rezystancję wyjściową bramki w stanie "1" na wyjściu  $R_{wy(1)}$  można wyrazić zależnością:

$$R_{wy(1)} = \frac{R_2}{h_{21E+1}} + R_D \quad (3.2)$$

Zależność powyższa wynika ze wzoru 3.1. Zakładając

typowe wartości dla bramki:  $h_{21E3} = 50$ ,  $R_D = 40 \Omega$ , uzyskuje się:

$$R_{wy(1)} \approx 70 \Omega$$

Zwiększając prąd wyjściowy, tranzystor T3 dochodzi do stanu nasycenia. Rezystancja wyjściowa jest wtedy określona przez wartości rezystancji  $R_2$ ,  $R_4$ ,  $R_D$  i jest określona zależnością:

$$R'_{wy(1)} = \frac{R_2 \cdot R_4}{R_2 + R_4} + R_D$$

Przyjmując wartości rezystancji z rys. 3.1 oraz  $R_D = 40 \Omega$ , uzyskuje się:

$$R'_{wy(1)} = 150 \Omega$$

W przypadku zwarcia wyjścia bramki prąd wyjściowy doznaje ograniczenia głównie przez rezystancję  $R_4$  oraz w mniejszym stopniu przez rezystancję diody D i rezystancję  $R_2$ , i mieści się w zakresie prądowym od 18 do 58 mA.

Rys. 3.6a przedstawia schemat układu elektrycznego bramki mocy. Bramka ta ma obciążalność wyjściową 30. Tę zwiększoną obciążalność wyjściową uzyskano przez zastąpienie tranzystora T3 układem Darlingtona i obniżeniem wartości rezystancji  $R_2$  i  $R_4$  (rys. 3.6a). Ponieważ układ Darlingtona wymaga wyższego napięcia baza-emiter tranzystora T2 w stanie przewodzenia (o wartość spadku napięcia na złączu baza-emiter jednego tranzystora), w

tym przypadku więc obecność diody D jest zbędna. Charakterystyki obciążenia tej bramki zaznaczono na rys. 3.6b i 3.6c.

Poniżej przedstawiono typowe parametry podstawowej bramki.

Przy zasilaniu napięciem  $+5\text{ V}$  bramka pobiera moc  $10\text{ mW}$  i jej średni czas opóźnienia wynosi  $13\text{ ns}$ , a dokładnie  $8\text{ ns}$  przy przejściu ze stanu "1" do stanu "0" oraz  $18\text{ ns}$  przy zmianie w kierunku przeciwnym przy obciążeniu pojemnościowym  $15\text{ pF}$  oraz  $23\text{ ns}$  przy obciążeniu pojemnościowym  $150\text{ pF}$ . Należy zaznaczyć, że wejście bramki czerpie prąd z obwodu, do którego zostanie dołączone. Należy też zauważyć, że struktura bramek TTL nie pozwala na równoległe łączenie do wspólnej sieci logicznej kilku bramek. W istocie jeśli założymy, że wyjścia dwu bramek są połączone równoległe, to może zdarzyć się przypadek, że jedna bramka pracuje z nasyconym tranzystorem T3 (T5), a druga z nasyconym tranzystorem T4, i w końcowym efekcie może powstać zwarcie zacisków napięcia zasilania z masą. Układ bramki pobiera duży prąd ze źródła zasilania w momencie, kiedy oba tranzystory wyjściowe są w stanie przewodzenia, co przedstawiono na rys. 3.7. Średni prąd pobierany ze źródła zależy więc od częstotliwości przełączania układu i czasu przełączania.

Jednym z ważnych parametrów technicznych układów logicznych jest charakterystyka przenoszenia, będąca zależnością napięcia wyjściowego od napięcia wejściowego. Charakterystyka ta przedstawiona została na rys. 3.8.

W układach logicznych rodziny DTL charakterystyka przenoszenia ma dwa załamania. Charakterystyka przenoszenia podstawowej bramki w rodzinie TTL ma trzy załamania. Poniżej zostanie wyjaśniony przebieg tej charakterystyki, rozpatrując analizę dynamiczną układu bramki.

W zakresie napięć wejściowych od 0 V do około 0,7 V na wyjściu panuje napięcie odpowiadające "1". Wraz ze wzrostem napięcia wejściowego powyżej 0,7 V zaczyna się spadek napięcia wyjściowego. Zaczyna przewodzić tranzystor T2, wskutek czego napięcie przyłożone do bazy tranzystora T3 ulega obniżeniu. Tranzystor T3 pracuje w układzie wtórnika emiterowego i napięcie wyjściowe naśladuje przebieg napięcia bazy, aż do wartości napięcia wejściowego około  $2 U_{BE}$ , czyli około 1,4 V (stąd wynika przebieg charakterystyki na odcinku I i II). Gdy napięcie wejściowe przekroczy wartość 1,4 V, tranzystor T4 zostaje wprowadzony do stanu przewodzenia. W zakresie między załamaniami II i III charakterystyki tranzystory T3 i T4 przewodzą jednocześnie. Przy dalszym zwiększaniu napięcia wejściowego obniża się napięcie na kolektorze tranzystora T2, powodując zablokowanie tranzystora T3, podczas gdy tranzystory T2 i T4 dochodzą do stanu nasycenia. W ten sposób osiągnięte jest III załamanie charakterystyki przenoszenia. Dalsze zwiększanie napięcia wejściowego nie powoduje zmiany napięcia wyjściowego.

Na zakończenie rozważań dotyczących bramki TTL, przedstawiono w tabelicy 3.1 jej podstawowe parametry elektryczne.

T a b l i c a 3.1

Podstawowe parametry elektryczne bramki TTL  
(w pełnym zakresie temperatur)

Parametr	Mini- malnie	Średnio Typ	Maksy- malnie	Jedno- stka
Sygnal wejściowy "1"	2	-	-	V
Sygnal wejściowy "0"	-	-	0,8	V
Sygnal wyjściowy "1"	2,4	-	-	V
Sygnal wyjściowy "0"	-	-	0,4	V
Prąd wejściowy "0"	-	-	1,6	mA
Prąd wejściowy "1"	-	-	40	μA
Prąd odporności "0"	0,8	1,2	-	V
Próg odporności "1"	1,0	2,0	-	V
Czas opóźnienia "0"	-	8	15	ns
Czas opóźnienia "1"	18	18	29	ns

### 3.2. Historia rozwoju układu bramki TTL

Jedną z pierwszych bramek, realizowanych w typie TTL była bramka "Phoenix", opracowana przez firmę Texas Instruments dla celów związanych z rakieta Phoenix (por. rys. 3.9a). Później ta sama firma opracowała słynną serię 54/74, która pobiła wszystkie ówczesne rekordy powodzenia handlowego w dziedzinie monolitycznych układów scalonych. Tranzystory T3 i T5 bramki Phoenix, pracujące w układzie Darlingtona zostały zastąpione (por. rys. 3.9b) przez układ tranzystorowo-diodowy, który w konsekwencji umożliwił zmniejszenie pobieranej przez układ mocy z 20 mW do 10 mW, przy czasie opóźnienia sygnału, wynoszącym około 13 nsek. Zasada działania oraz podstawowe parametry tej bramki zostały już uprzednio omówione.

Jako odmiana omówionej serii została utworzona nowa seria układów, nosząca oznaczenie 54L/74L, nazywana również serią "o małym poborze mocy". Podstawowy układ spełniający funkcję logiczną NAND różni się od normalnego układu serii 54/74 jedynie wartościami zastosowanych rezystorów (por. rys. 3.9c). W tym przypadku można pobieraną moc zmniejszyć do 1 mW, jednocześnie wzrasta czas propagacji do 33 nsek. Minimalny odstęp przeciwzakłóceńowy pozostaje niezmienny i wynosi około 1 V. Innej natomiast odmiany doznaje układ w szybko działającej serii 54H/74H (por. rys. 3.9d), przypominający bramkę "Phoenix". W układzie tym czas propagacji został zmniejszony do 6 nsek, a pobór mocy bramki wzrósł do 22 mW,

Inną serię układów rodziny TTL stanowi seria SUHL (Sylvania Universal High Level Logic). W tym typie układów istnieją dwie wersje SUHL I i SUHL II. Podstawowa bramka SUHL I jest przedstawiona na rys. 3.10a. Zasadnicza różnica pomiędzy tym układem i podstawowym układem serii 54/74 polega na odmiennym umieszczeniu diody progowej w układzie wyjściowym. Zmiana ta wydaje się raczej niekorzystna z punktu widzenia szumów tworzonych wewnątrz układu oraz z racji szybkości blokowania tranzystora wyjściowego. Typowy czas opóźnienia tej bramki wynosi około 12 ns przy pobieranej mocy rzędu 15 mW. Natomiast minimalny odstęp przeciwzakłóceń jest tu wyższy i wynosi około 1,1 V, przy poziomie "wysokim" i około 1,5 V przy poziomie "niskim", średnio więc 1,3 V. W celu osiągnięcia szybszych układów bramkowych firma Sylvania zmodyfikowała układ logiczny NAND i opracowała typ SUHL II (por. rys. 3.10b), gdzie powolnie działającą diodę D1 zastąpiono przez znacznie szybciej działający tranzystor T5. W ten sposób uzyskano obniżenie czasu opóźnienia do 6 ns, przy poborze mocy 22 mW i uzyskano minimalny odstęp przeciwzakłóceń około 1 V przy poziomie wysokim i około 1,5 V przy poziomie niskim, czyli średnio 1,25 V. Poziomy logiczne wynoszą na wyjściu bramki 0,25 V dla "0" i 3,5 V dla "1", przy napięciu zasilania wynoszącym +5 V.

Układy serii TTL 9000 firmy Fairchild oraz T 100 firmy SGS wykorzystują również tranzystor sterujący stopień wyjściowy (por. rys. 3.11). Ten tranzystor T3 służy zarówno do przesuwania potencjałów, jak i do wzmacniania



doprowadzonych prądów. Wyłącznym zadaniem rezystorów  $R_1$  i  $R_2$  jest ograniczanie prądu dostarczanego odpowiednio przez tranzystory T4 lub T3. Gdy tranzystor T4 zostaje blokowany, rezystor R3 doprowadza ładunki zmagazynowane tym razem nie do masy, lecz do wyjścia układu w celu zmniejszenia prądu pobieranego przy niskim poziomie wyjściowym. Podobne do poprzedniego zadanie spełnia rezystancja  $R_4$  pomiędzy emiterem tranzystora T2 i masą, tym razem przy wysokim poziomie wyjściowym. Typowy czas opóźnienia wynosi około 6 ns, dla obciążenia pojemnościowego 15 pF i około 11 ns dla obciążenia pojemnościowego 150 pF. Typowy pobór mocy wynosi 11 mW, przy minimalnym odstępnie przeciwzakłóceniovym rzędu 1 V.

Jeszcze inną strukturę układu stosuje firma Signetics w swej serii 800, przedstawionej na rys. 3.12, co wskazuje na wielką różnorodność możliwych odmian stosowanych układów w zakresie tego samego zagadnienia.

Schemat elektryczny bramki NAND, produkcji firmy Motorola, w szeregu MTTL I stanowi układ podobny do tego, który przedstawia bramka FJ, firmy RTC (por. rys. 3.13a). W celu zwiększenia szybkości działania układów tej rodziny firma Motorola zastąpiła diodę występującą w układzie przez tranzystor i zmniejszyła także wartości rezystancji (por. rys. 3.13b), osiągając w ten sposób układy serii MTTL II. Znajdujemy tam schemat bramki podobny do układu bramki podstawowej SUHL II, produkcji Sylvania. W układzie tym rezystancja wyjściowa została obniżona i czas opóźnienia zmniejszony do 6 ns.

We wszystkich dotychczasowych rozwiązaniach charak-

terystyki przenoszenia ujawniają dwa zagięcia (załamanie I i II), oznaczające w zasadzie niedostatecznie swobodne przejście ze stanu "0" do stanu "1" lub odwrotnie. W celu eliminacji tej niekorzystnej cechy firma Motorola opracowała nową serię układów, oznaczoną MTL III. Charakterystyka przenoszenia nowego układu bramki została przedstawiona na rys. 3.14. W tym wykonaniu rezystancja  $R_4$  (por. rys. 3.13a) została zastąpiona przez układ czynny (rys. 3.15). W celu zrozumienia zasady działania warto przypomnieć, że pierwsze zagięcie charakterystyki przenoszenia poznanych bramek TTL powodowane było powstaniem przewodzenia tranzystora  $T_2$ , z chwilą gdy napięcie osiągało wartość  $U_{BE}$ . Gdy tranzystor  $T_2$  przewodzi (rys. 3.13), płynie prąd od źródła zasilania  $U_K$  do masy poprzez rezystancje  $R_2$ ,  $T_2$  i  $R_4$ . Wartość napięcia wyjściowego zależy od spadku napięcia na rezystancji  $R_2$ . W celu eliminacji tego wpływu wystarczy utrudnić przepływ prądu przez tranzystor  $T_2$ , nie dopuszczając, by napięcie jego emitera stało się dostatecznie wysokie i powodowało przepływ prądu bazy tranzystora  $T_5$ . Ten rezultat uzyskuje się za pomocą obwodu składającego się z rezystancji  $R_{4a}$ ,  $R_{4b}$  i tranzystora  $T_3$  (rys. 3.15) tak, że ostatni tranzystor staje się przewodzący dopiero wówczas, gdy napięcie osiąga wartość  $2U_{EB}$ . W tym momencie napięcie emitera tranzystora  $T_2$  wzrasta do wartości  $U_{BE}$  i tranzystor  $T_5$  zaczyna przewodzić. Wartości rezystancji  $R_{4a}$  i  $R_{4b}$  są dobrane w ten sposób, by przy nasyconym tranzystorze  $T_5$  układ czynny pobierał taki sam prąd, jak rezystancja  $R_4$  przedstawiona na rys. 3.13b.

Przy wysokich temperaturach impedancja wyjściowa układu jest mniejsza, co ma korzystny wpływ na szybkość przełączania. Przy wysokich temperaturach ponadto wyskok prądu występujący w czasie przełączania zostaje zmniejszony, co przyczynia się do zmniejszenia poboru mocy. Należy zwrócić uwagę, że układy serii MTTL III zawierają diody załączone do obwodów wejściowych w celu likwidacji przepięć. Jest to potrzebne, ponieważ klasyczne układy TTL mają niezwykle strome zbocza przebiegów i wykazują tendencje do powstawania oscylacji pasywnych, mimo bardzo krótkich połączeń. W szczególności strome zbocze opadające może wywołać ujemne napięcie o wartościach bezwzględnych większych od 2 V na wejściowych obwodach bramki. Oscylacje te mogą spowodować niezamierzone rozłączenia. Dlatego też takie same diody obcinające stosuje się we wszystkich układach serii MTTL I, MTTL II i MTTL III, mimo że elementy te nie były uwidocznione w poprzednio omawianych schematach.

### 3.3. Przegląd produkcji cyfrowych układów scalonych TTL oraz niektóre dane rynków handlowych

W tabelicy 3.2 przedstawiono przegląd produkcji najważniejszych firm światowych w zakresie cyfrowych układów scalonych TTL.

W Stanach Zjednoczonych, największym światowym rynku w zakresie układów scalonych, w roku 1970 około 61% obrotów całego rynku dotyczyło cyfrowych układów scalonych z następującym podziałem procentowym między po-

T a b l i c a 3.2

Obroty handlowe największych firm Stanów  
Zjednoczonych w mln \$

Lata	1968	1969	1970
Firma			
Texas Instruments	59	81	98
Motorola	61	72	92
Fairchild	53	71	87
Signetics	32	45	52
National	8	19	41

szczególne rodziny układów: RTL - 5%, DTL - 30%, TTL - 45%, ECL - 10% i inne typy 10%. Równocześnie produkcja układów liniowych utrzymywała się na poziomie 20% i układów MOS na poziomie 10%. Oczekuje się, że w ciągu następnych 5 lat udział układów cyfrowych TTL zmniejszy się do 57% dotychczasowych ilości, zaś układów MOS zwiększy się do 20%. Na rynku Stanów Zjednoczonych pięć największych firm ma obroty handlowe wynoszące 75% całego rynku handlowego, co przedstawiono w tabl. 3.2.

W Europie kolejne pozycje pod względem wielkości produkcji zajmują: firma Texas Instruments, SGS oraz prawie równorzędne miejsca firmy: Séscosem, Siemens i Philips.

Firma Texas Instruments produkuje obecnie najbardziej kompletną rodzinę układów scalonych TTL, realizujących ponad 90 funkcji w trzech seriach: 54/74, 54HI/74HI i 54L/74L. Poszczególne serie są tak zaprojektowane, że możliwa jest bezpośrednia współpraca elementów cyfrowych

różnych serii. Podstawowe parametry elementów wyżej wymienionych serii podano w tabl. 3.1. Należy zaznaczyć, że obok 22 elementów scalonych SSJ (jak zaznaczono w tabl. 3.3) seria 54/74 obejmuje 30 układów MSJ. Standardowa seria 54/74 obejmuje cyfrowe elementy scalone o dużej szybkości działania i stosunkowo małym poborze mocy. Układ podstawowej bramki występujący w tym szeregu został przedstawiony na rys. 3.1 oraz 3.9b. W rozdziale 3.1. przedstawiono zasadę działania oraz podstawowe parametry wymienionej bramki.

Seria 54H/74H zawiera 30 bardzo szybkich układów scalonych SSJ i jeden szybki układ MSJ. Schemat układu podstawowej bramki w tej serii przedstawiono na rys. 3.9d.

Seria 54L/74L zawiera 12 układów scalonych SSJ oraz 4 układy logiczne MSJ o małym poborze mocy. Schemat układu podstawowej bramki w tej serii przedstawiono na rys. 3.9c.

W tabelicy 3.3 zostały przedstawione podstawowe układy realizowane w serii SN 54/74, w tabelicy 3.4 zaś podano odpowiedniki najważniejszych elementów serii SN 54/74 produkowane przez inne znane firmy.

Układy podstawowych bramek produkowanych przez firmę Motorola przedstawione na rys. 3.13 i 3.15 zostały omówione w rozdz. 3.2.

Schemat układu podstawowej bramki serii TT  $\mu$ L 9000 firmy Fairchild został przedstawiony na rys. 3.11. Należy zaznaczyć, że na tym samym układzie podstawowej bramki są oparte elementy serii TTL firmy SGS (drugie miejsce w Europie) oraz serii MIC 9000 firmy ITT. W ta-

Przeгляд cyfrowych układow scalyonych rodziny TTL obecnie produkowanych na świecie

Ip.	Firma	Seria	Liczba Kładów serii	Napięcie zasilania (V)	Odstępow Zakłóceń (V)	Temperatury pracy /°C/		Średni czas opóźnienia /ns/	Moc pobor. /mW/	Uwagi
						Zakres maks.				
1	2	3	4	5	6	7	8	9	10	11
1	ARG-Telefunken	TTL	15	5	0,4	0, +75		15	15	
2	Amelco	500	17	5		-55, +125		35	0,5	1
3	Fairchild	TTL 9000	19	5	1	-55, +125		6	11	5
4	Ferranti	Micronor 5	23	5	1	-55, +125		13	10	
5	JWT - Intermetall	MIC 9000	13	5	1	-55, +125		6	11	
6	Motorola	MPTL I	44	5	0,7	-55, +125		10	15	
		MPTL II	28	5	0,65	-55, +125		6	22	
		MPTL III	19	5	0,7	0, +75		6	22	
		MPTL 54/74	15	5		-55, +125		13	10	
7	NS	DM 70	13	5	1	-55, +125		13	10	
		0 małym poborze mocy	4	5	1	-55, +125		33	1	

c.d. tabl. 3.3

1	2	3	4	5	6	7	8	9	10	11
8	Raytheon	RAY I HL TTL RAY II HL TTL RAY III HL TTL	22 21 5	5 5 5	1,5 1,5 1,5	-55, +125 -55, +125 -55, +125		10 6 4,5	15 22 22	6 6 6
9	RTC	FH FJ	14 22	5 5	1 1	0, +75 0, +75		6 13	25 10	
10	Sesosem	SFC 400FM SFC 400E SFC 400HEM SFC 900 SFC 400HE	13 18 10 6 10	5 5 5 4,5 5	1 1 1 1 1	-55, +125 0, +70 -55, +125 -60, +30 0, +70		13 13 6 80 6	10 10 20 0,8 20	
11	SGS	TTL	14	5	1	-55, +125		6	11	
12	Siemens	FL	19	5	1	-25, +85		15	15	
13	Signetics	TTL 54/74	12 21	4 5	1 1	-55, +125 -55, +125		30 8	4,5 13	
14	Sprague	54/74 54H/74H TTL	32 18 12	5 5 4	1 1 1	-55, +125 -55, +125 -25, +125		13 6 30	10 22 4,5	
15	Sylvania	SUHL I SUHL II	28 19	5 5	1,5 1,5	-55, +125 -55, +125		10 6	15 22	2 2

1	2	3	4	5	6	7	8	9	10	11
16	Texas	SN 54/74/84 Układ DEL Szybka - - SN 54H/74H	22 7 30	5 5 5	1 1 1	-55, +125 -55, +125 -55, +125	13 13 6		10 10 22	3 3,4 3
17	Transitron	o małym poborze mocy SN 54L/74L HL TTL I HL TTL II 54/74	34 23 62	5 5 5	1,3 1,3 1	-55, +125 -55, +125 -55, +125	11,5 6 12		15	3

Uwagi:

- /1/ Istnieją trzy wersje:  
 - o małym poborze mocy:  $P_C = 0,5 \text{ mW}$ ,  $t_{pd} = 180 \text{ ns}$   
 - o średnim poborze mocy:  $P_C = 1,2 \text{ mW}$ ,  $t_{pd} = 100 \text{ ns}$   
 - o dużym poborze mocy:  $P_C = 4 \text{ mW}$ ,  $t_{pd} = 35 \text{ ns}$   
 wszystkie wartości typowe jak dla bramki podstawowej
- /2/ SUHL - "Sylvania universal high level logic"  
 Typowy odstęp od zakłóceń zmienia się od 1,1 do 1,5 V /seria SG, w SUHL I/ 1 od 1 do 1,5 V /seria SG, w SUHL II/.
- /3/ Od -55 do +125°C w serii 56; od 0° do +70°C w serii 74; od -25° do +85°C w serii 84
- /4/ Te układy są elektrycznie równoważne z mechanicznymi zmianami układami serii 15930 i 15830 DEL tej samej firmy
- /5/ Te układy są elektrycznie równoważne z mechanicznymi zmianami układami serii DT µL 930 tej samej firmy /koncepty: CDSL/
- /6/ RAY HL TTL "Raytheon High Level Transistor Logic". Odstęp od zakłóceń zmienia się od +1,0 do 1,5 V w przypadku RF RAY II, i +1,1 i -1,5 V we wszystkich innych przypadkach /RAY I RF, RG - RAY II RG - RAY III RG, RF/.



Tablica 3.4

Texas Instruments - seria SN 54/74/84

-55 do +125°C	Realizowane funkcje	S	t <sub>pd</sub>		0 do +70°C	-25 do +85°C
			0	1		
SN 5400	4 funkctory NAND, każdy z 2 wejściami	10	8	18	SN 7400	SN 8400
SN 5401	4 funkctory NAND, każdy z 2 wejściami	10	15	45	SN 7401	SN 8401
SN 5402	4 funkctory NOR, każdy z 2 wejściami	10	8	18	SN 7402	SN 8402
SN 5403	4 funkctory NAND, każdy z 2 wejściami	10			SN 7403	SN 8403
SN 5404	6 funkctorów NON	10			SN 7404	SN 8404
SN 5405	6 funkctorów NON	10			SN 7405	SN 8405
SN 5410	3 funkctory NAND, każdy z 3 wejściami	10	8	18	SN 7410	SN 8410
SN 5420	2 funkctory NAND, każdy z 4 wejściami	10	8	18	SN 7420	SN 8420
SN 5430	1 funkctor NAND z 8 wejściami	10	8	18	SN 7430	SN 8430
SN 5440	2 funkctory NAND mocy, każdy z 4 wejściami	30	8	18	SN 7440	SN 8440
SN 5450	2 funkctory AND/OR/NON o 2x2 wejściach	10	8	18	SN 7450	SN 8450
SN 5451	2 funkctory AND/OR/NON o 2x2 wejściach	10	8	18	SN 7451	SN 8451
SN 5453	1 funkctor AND/OR/NON z 4x2 wejściami	10	8	18	SN 7453	SN 8453
SN 5454	1 funkctor AND/OR/NON z 4x2 wejściami	10	8	18	SN 7454	SN 8454
SN 5460	2 układy rozszerzające, każdy o 4 wejściach	-	10	20	SN 7460	SN 8460
SN 5470	Przerzutnik JK /55 MHz/ z wejściami AND	10	-	-	SN 7470	SN 8470
SN 5472	Przerzutnik JK master-esclave /15 MHz/	10	-	-	SN 7472	SN 8472
SN 5473	2 przerzutniki JK master-esclave /15 MHz/	10	-	-	SN 7473	SN 8473
SN 5474	2 przerzutniki typu D /25 MHz/	10	-	-	SN 7474	SN 8474
SN 5476	2 przerzutniki JK master-esclave /z Set i Reset/				SN 7476	SN 8476
SN 5480	Pełny sumator z bramkami				SN 7480	SN 8480
-	Przerzutnik mostostabilny				SN 74121	-

blicy 3.5 wymieniono podstawowe elementy scalone wymienionych firm. Zastosowanie układów scalonych będzie rozważane na przykładzie wymienionej w tabl. 3.6 serii TTL firmy SGS.

Na zakończenie przeglądu podano w tabl. 3.7 zakres produkcji firmy Sescosem. Firma ta produkuje serie SF.C, w oparciu o znane serie 54/74 firmy Texas Instruments.

#### Analiza zastosowania układów scalonych rodziny TTL

Analiza zastosowania układów scalonych rodziny TTL zostanie przeprowadzona na przykładzie serii T 100 firmy SGS. Należy nadmienić, że wymienione zastosowania układów odnoszą się również do układów stanowiących odpowiedniki i produkowanych przez inne firmy.

Seria T 100 firmy SGS (tablica 3.6) charakteryzuje się czasami opóźnienia 6 ns i poborem mocy 11 mW. Układy są zasilane ze źródła napięcia +5 V i mogą być dostarczone w pojedynczych obudowach płaskich lub obudowach DIP (dual in line package).

Na rysunku 3.16 zostały przedstawione wszystkie układy wchodzące do serii T 100. Na rysunku tym podano też dane dotyczące układu końcówek oraz obciążalności układu (podane w nawiasach). Wszystkie bramki z wyjątkiem bramek T 109 mają obciążalność wyjściową 10. Układ T 109 ma dwie bramki mocy o obciążalności wyjściowej 30. Tę zwiększoną obciążalność uzyskano kosztem szybkości działania - opóźnienie wzrasta o 2 ns.

T a b l i c a 3.5

Monolityczne układy scalone TTL serii SN 54/74, firmy Texas Instruments,  
i ich odpowiedniki produkowane przez inne firmy

Ip.	Określenie	Texas Instrum. USA	Oznaczenie ekwivalentów					Tewa PRL /projekt/
			ZSRR	COSEM Francja	Siemens NRF	Tesla Czechosł.	Tesla PRL	
1	2	3	4	5	6	7	8	
1	Czterokrotny dwuwęściowy element logiczny NAND	SN 7400N	1A5533 /A 3300/	SF C400E	FLH 101	MHA 111	FPH 000	
2	Trzykrotny trzywęściowy element logiczny NAND	SN 7410N	1A6554 /A 3310/	SF C410E	FLH 111	MHS 111	FPH 100	
3	Dwukrotny czterowęściowy element logiczny NAND	SN 7420N	1A5551 /A 3320/	SF C420E	FLH 121	MHC 111	FPH 200	
4	Ośmiowęściowy element logiczny NAND	SN 7430N	1A5552 /A 3330/	SF C430E	FLH 131	MHD 111	FPH 300	
5	Dwukrotny czterowęściowy element logiczny NAND mocy	SN 7440N	1A5556 /A 3340/	SF C440E	FLH 141	MHE 111	FPH 400	
6	Dwukrotny dwubramkowy element logiczny N-OR-AND /jeden element z zaciskami do ekspandera/	SN 7450N	1A6551 /A 3350/	SF C450E	FLH 151	MHF 111	FPH 500	
7	Czterobramkowy element logiczny N-OR-AND z węzłami do ekspandera	SN 7453N	1A6553 /A 3353/	SF C453E	FLH 171	MHG 111	FPH 530	
8	Dwukrotny czterowęściowy ekspander	SN 7460N	1A6551 /A 3360/	SF C460E	FLX 111	MJA 111	FPY 600	
9	Przerzutnik JK z rozbudowanymi wejściami	SN 7472N	A 3372	SF C472E	FLJ 111	MJA 111	FPJ 720	
10	Podwójny przerzutnik JK	SN 7473N	-	SF C473E	-	-	-	
11	Podwójny przerzutnik typu D	SN 7474N	-	SF C474E	-	MJB-111	-	
12	Dekada licząca	SN 7490N	-	-	-	-	-	

Tablica 3.6

Scalone układy cyfrowe firmy

Fairchild - seria TTL  
 I.T.T. - seria MIC 900  
 S.G.S. - seria TTL

S.G.S.	TYP		Realizowane funkcje	S	t <sub>pd</sub> /ns	P <sub>c</sub> /mW
	Fairchild	ITT				
1	2	3	4	5	6	7
T 100	TT pL 9000	MIC 9000	Przerzutnik JK master-slave /20 MHz/	8		100
T 101	TT pL 9001	MIC 9001	Przerzutnik JK master-slave /35 MHz/	8		120
T 102	TT pL 9002	MIC 9002	4 funkctory NAND/NOR, każdy o dwu wejściach	10	6	44
T 103	TT pL 9003	MIC 9003	3 funkctory NAND/NOR, każdy o 3 wejściach	10	6	33
T 104	TT pL 9004	MIC 9004	2 funkctory NAND/NOR, każdy o 4 wejściach	10	6	22
T 105	TT pL 9005	MIC 9005	2 funkctory AND/NOR do ekspansji, każdy o 2x2 wejściach	10	6	20
T 106	TT pL 9006	MIC 9006	2 funkctory AND/NOR do ekspansji, każdy o 4 wejściach	10	6	20
T 107	TT pL 9007	MIC 9007	1 funkctór NAND/NOR z 8 wejściami	10	6	11
T 108	TT pL 9008	MIC 9008	2 funkctory AND/NOR	10	6	28
T 109	TT pL 9009	MIC 9009	2 funkctory NAND mocy	30	10	150
T 110			Przerzutnik typu D			
T 116	TT pL 9016	MIC 9012 MIC 9016	2 funkctory NAND, każdy o 2 wejściach 6 funkctorów negacji	10	8	6

c.d. tabl. 3.6.

1	2	3	4	5	6	7
T 120	TT pL 9020		2 przerzutniki JK-negacja K z wejściami taktującymi wspólnym /50 MHz/ 2 przerzutniki JK	10		
T 121	TT pL 9021 TT pL 9022 TT pL 9604 TT pL 9620 TT pL 9621 TT pL 9624 TT pL 9625		2 przerzutniki J - negacja K z wejściami taktującymi wspólnym /35 MHz/ Przerzutnik monostabilny 2 odbiorniki liniowe 2 układy sterowania liniowego 2 2	10 8	25 36	

Tablica 3.7

Seria SEC 400

0 + 70°C Obudowa D	-55°C + +125°C Obudowa P	S	t <sub>pd</sub> /ns/ lub F	Realizowane funkcje	S	t <sub>pd</sub> /ns/ lub F	0 + 70°C Obudowa D	-55 + +125°C Obudowa P
1	2	3	4	5	6	7	8	9
SEC 400E	SEC 400PM	10	13	4 funkctory NAND, każdy z 2 wej- sciami	10	6	SEC 400HE	SEC 400HPM
SEC 401AE	SEC 401PM	10	13	4 funkctory NAND, każdy z 2 wej.	10	6	SEC 410HE	SEC 410HPM
SEC 410E	SEC 410PM	10	13	3 funkctory NAND, każdy z 3 wej.	10	6	SEC 411HE	SEC 411HPM
SEC 420E	SEC 420PM	10	13	3 funkctory AND, każdy z 3 wej.	10	6	SEC 420HE	SEC 420HPM
SEC 430E	SEC 430PM	10	13	2 funkctory NAND, każdy z 4 wej.	10	6	SEC 430HE	SEC 430HPM
SEC 440E	SEC 440PM	30	13	1 funkctor NAND z 8 wejściami	30	6	SEC 440HE	SEC 440HPM
SEC 441E	SEC	-	-	2 funkctory NAND mocy, każdy z 4 wejściami				
SEC 450E	SEC 450PM	10	13	Dekoder BOB - dziesiętny dla lamp Nixie	10	6	SEC 450HE	SEC 450HPM
SEC 451E	SEC 451PM	10	13	2 funkctory AND/OR/NON, z 2 wej. do ekspansji	10	6	SEC 453HE	SEC 453HPM
SEC 453E	SEC 453PM	10	13	2 funkctory AND/OR/NON	10	6		
SEC 454E	SEC 454PM	10	13	1 funkctor AND/OR/NON do ekspansji				
SEC 460E	SEC 460PM	-	-	2 układy rozszerzające, każdy z 4 wejściami				
				Przerzutnik JK master-eslave z wejściami OR/AND	10	40 MHz	SEC 471HE	SEC 471HPM

c.d. tabl. 3.7

1	2	3	4	5	6	7	8	9
SFC 472E	SFC 472EM	10	15 MHz	Przerzutnik JK master-esclave	10	40 MHz	SFC 472HE	SFC 472HEM
SFC 473E	SFC 473EM	10	15 MHz	2 przerzutniki JK master-esclave				
SFC 474E		10	25 MHz	2 przerzutniki typu D, wyzwalone zbozem impulsu				
SFC 475E		10	-	Pamięć 4 bitowa				
SFC 476E		10	15 MHz	2 przerzutniki JK master-esclave				
SFC 490E		10	20 MHz	Licznik dziesiętny				

### 3.4. Przykłady zastosowania bramek

Jak wiadomo, podstawowa bramka TTL pełni funkcję logiczną NAND w przypadku zastosowania dodatniej konwencji logicznej lub funkcję NOR w przypadku zastosowania ujemnej konwencji logicznej. Bramka taka w dodatniej konwencji logicznej ma niski poziom logiczny "0" na wyjściu tylko wówczas, gdy wszystkie wejścia są w stanie o wysokim poziomie logicznym "1" - co odpowiada funkcji logicznej NAND. Bramka taka w konwencji ujemnej ma niski poziom na wyjściu "1" tylko wówczas, gdy wszystkie wejścia są w stanie o poziomie wysokim "0" - co odpowiada funkcji NOR. Zmiana konwencji, jak już zauważono na wstępie artykułu, pod względem matematycznym oznacza jednoczesną negację zmiennych wejściowych i negacji funkcji wyjściowej. Równoważne symbole bramek przedstawiono na rys. 3.17. Zmiany funkcji logicznych przy przejściu do innej konwencji podano w tabl. 1.4 i na rys. 3.18. Układ z rys. 3.18a realizuje w konwencji dodatniej funkcję logiczną:

$$F_D = \overline{A \cdot B + C \cdot D}$$

Układ z rys. 3.18b realizuje w konwencji ujemnej funkcję logiczną:

$$F_N = \overline{(A+B) \cdot (C+D)}$$

Również przy przejściu z konwencji dodatniej do ujemnej z funkcji  $F_D$  uzyskuje się funkcję  $F'_D$



$$F_D = \overline{\overline{A \cdot \overline{B}} + \overline{C \cdot D}}$$

po przekształceniach na podstawie twierdzenia Morgana otrzymujemy:

$$F_D = \overline{\overline{A \cdot \overline{B}} + \overline{C \cdot D}} = \overline{\overline{A+B} + \overline{C+D}} = \overline{(\overline{A+B})(\overline{C+D})} = F_N$$

A więc, istotnie uzyskuje się równoważność układów podanych na rys. 3.18a i 3.18b. Wybór konwencji logicznej zależy od decyzji projektującego.

Na rysunku 3.19 przedstawiono przykłady przekształcenia układu z bramkami NAND na układ z bramkami OR i AND. Przekształcenia przedstawione na rys. 3.19 polegają na zasadzie równoważności z rys. 3.17 i wykorzystaniu faktu, że występowanie dwóch kolejnych negacji daje w efekcie końcowym brak negacji. Przekształcenie polega więc na zmianie symboli bramek w kolumnie drugiej i czwartej na ich odpowiedniki, zgodnie z rys. 3.17. "Kółka" w symbolach oznaczają negację. W związku z występowaniem dwu kolejnych "kółek" między kolumnami I i II oraz kolumną III i IV następuje kasowanie tych negacji. W konsekwencji można zatem przejść na funkcje logiczne nie zawierające negacji.

Układ z rysunku 3.19b przedstawia bardziej rozbudowany układ niż ten, który jest przedstawiony na rys. 3.19a. Układ ten pozwala na przeniesienie zmiennych wejściowych A, B, C, D na wyjście F, w zależności od stanu panującego na wejściach X, Y, przy czym zmienne wejściowe C i D są blokowane w przypadku, gdy wejścia A i B są w stanie

o wysokim poziomie. W układzie z rys. 3.19b nie wszystkie gałęzie zawierają tę samą liczbę stopni, w związku z czym występuje konieczność włączenia w tych gałęziach dodatkowego stopnia negacji.

Poniżej przedstawiono niektóre wybrane zastosowania układów scalonych serii T 100. Rysunek 3.20 przedstawia schemat 2-bitowego układu komparatora, jego tablicę wierności oraz realizowaną funkcję logiczną. Częstkowe iloczyny można obliczyć na podstawie tablicy Karnangha, załączonej do rys. 3.20. Układ 2-bitowego komparatora został zrealizowany przy zastosowaniu jednego modułu T 108.

Rysunek 3.21 przedstawia dwie połówki modułu T 105. Pierwsza połówka modułu T 105 realizuje funkcję różnicy symetrycznej (OR wyłącznego)  $F = \overline{A}B + A\overline{B}$ , natomiast druga połówka realizuje funkcję komparatora. Tę funkcję komparatora można określić jako negację funkcji różnicy symetrycznej albo równoważność:  $F = A \odot B = \overline{A}B + AB$ . Funkcja równoważności określana jest jako funkcja porównania, gdyż przy jej pomocy można określić zrównanie dwu cyfr dwójkowych A i B. Do rys. 3.21 dołączone są tablice wierności wymienionych funkcji. Na rys. 3.22 przedstawiono schematy układów, pozwalających na realizację funkcji różnicy symetrycznej oraz równoważności, w przypadku gdy nie dysponuje się negacjami sygnałów wejściowych A i B.

Podstawowym członem sumatorów, pracujących w kodzie dwójkowym, jest sumator jednobitowy. Sumator ten ma układ realizujący funkcję sumy "modulo dwa" trzech zmiennych wejściowych (cyfr dwójkowych). Dwie z tych zmien-

nych są składnikami liczb sumowanych  $A_i$ ,  $B_i$ , przedstawionych w kodzie dwójkowym, trzeci zaś stanowi przeniesienie  $P_i$  z niższego bitu. Sumator jednobitowy ma dwa wyjścia, na jednym z nich pojawia się suma  $S_i$ , na drugim zaś - przeniesienie do wyższego bitu  $P_i$ . Pełny sumator jednobitowy, przedstawiony na rys. 3.23, składa się z układów różnicy symetrycznej, zrealizowanych w oparciu o układy z rys. 3.21 oraz 3.22. Należy zauważyć, że wyjście pośrednie (punkt x) układu różnicy symetrycznej jest wykorzystywane w sumatorze do tworzenia sygnału przeniesienia.

Prosty sposób korekcji błędów liczb dwójkowych polega na wytworzeniu kodu korekcyjnego i zbadaniu ilości jedynek logicznych we wszystkich bitach kodu. Jeżeli ilość jedynek we wszystkich bitach kodu ma być nieparzysta, wtedy mówi się o badaniu na nieparzysty paryt; jeżeli zaś ilość jedynek we wszystkich bitach ma być parzysta, wtedy się mówi o badaniu na parzysty paryt. Przykładem realizacji układu służącego do określenia ilości jedynek we wszystkich bitach kodu jest układ generatora parytu przedstawiony na rys. 3.24. W przypadku nieparzystej ilości jedynek w bitach A, B, C, D, E, F, G, H na wyjściu układu wystąpi "1", w pozostałych przypadkach (parzystej ilości jedynek) wystąpi "0". Układ z rys. 3.24 realizuje funkcję różnicy symetrycznej (sumy modulo dwa) zmienionych A, B, C, D, E, F, G i H, przy czym zastosowano tu dwie wersje układu różnicy symetrycznej w celu uzyskania minimum elementów składowych.

Inne zastosowanie bramek przedstawiono na rys.3.25, na którym przedstawiono układ konwertora, służącego do zamiany naturalnego zapisu dwójkowego na zapis Greya. Jak wiadomo, zapis Greya stanowi takie uszeregowanie kombinacji zapisu dwójkowego, że przejście od jednej kombinacji do następnej i poprzedniej wymaga zmiany wartości tylko jednego bitu. W przedstawionym układzie dla każdego bitu jest wykonywana operacja, którą można określić zależnością:

$$F_i = A_i \bar{A}_{i+1} + \bar{A}_i A_{i+1}$$

gdzie:

F - wyrażenie w zapisie Greya,

A - wyrażenie wejściowe o naturalnym zapisie dwójkowym.

Inne zastosowanie bramek przedstawiono na rys. 3.26. Układy przedstawione na tym rysunku realizują funkcję konwersji pozwalającej na przejście z jednego systemu liczbowego do drugiego.

Moduły T 105, T 108 mają układy zaopatrzone w wejścia ekspansyjne. Do każdego z tych wejść mogą być dołączone układy ekspansyjne, pozwalające na realizację funkcji o większej ilości zmiennych wejściowych (por. rys. 3.27). Moduł T 106 stanowi podwójny układ ekspansyjny o czterech wejściach - cztery takie pojedyncze układy ekspansyjne mogą być dołączone do wejść ekspansyjnych modułów T 105 i T 108.

Poniżej zostanie omówiony problem zwiększenia obciąż-

żalności wyjściowej bramek TTL. Jeśli konieczne staje się odbieranie większego prądu w stanie "1", na wyjściu bramki, niż pozwalają na to charakterystyki bramki, stosuje się połączenie według rys. 3.28. Połączenie to pozwala przez zastosowanie rezystancji R na zwiększenie obciążalności bramki w stanie "1" na wyjściu bramki. Wielkość rezystancji R może być przyjęta na przykład 1 k $\Omega$ . Ta metoda zmniejsza obciążalność wyjściową bramki w stanie "0", ponieważ płynie w tym stanie przez rezystancję R dodatkowy prąd do tranzystora wyjściowego bramki. Wygodniejsza metoda zwiększania obciążalności polega na równoległym połączeniu dwu bramek według rys. 3.29. Dwa równoległe połączone wejścia można uważać jako jedno wejście o dwukrotnie większej obciążalności wejściowej. Również obciążalność wyjściowa bramki zostaje dwukrotnie zwiększona, tj. do wartości 60 dla bramek modułu T 109 oraz do wartości 20 dla wszystkich pozostałych bramek. Poniżej rozważone zostanie zagadnienie sterowania układami bramek lamp cyfrowych, żarówek, przekaźników itp. Przykład wykorzystania bramki do sterowania lampek cyfrowych przedstawiono na rys. 3.30. Wykorzystywano tu tranzystor krzemowy n-p-n. Rezystancja  $R_B$  jest tak dobrana, aby możliwe było uzyskanie takiej wartości prądu bazy, by tranzystor mógł przejść do stanu nasycenia. Rezystancja  $R_K$  ogranicza prąd płynący przez lampkę. Wybór tranzystora zależy od parametrów zastosowanej lampki. Zwykle tranzystor ten powinien mieć w stanie zablokowania tak mały prąd szczytkowy, na przykład mniejszy od 100 nA, by lampka w tym stanie nie świeciła się.

Wartość napięcia kolektor-emiter nie powinna przekraczać dopuszczalnych wartości tego napięcia dla danego typu tranzystora.

Przykłady sterowania żarówek oraz przekaźników wymagających stosunkowo dużych wartości prądu przedstawiono na rys. 3.31. W tych przypadkach należy zastosować dodatkowy tranzystor krzemowy n-p-n. Wyjście bramki sterującej dołącza się bezpośrednio lub przez rezystancję  $R_B$  do bazy zastosowanego tranzystora. Rezystancję  $R_B$  zwykle stosuje się, gdy istnieje groźba przekroczenia dopuszczalnej wartości prądu bazy dla danego typu tranzystora lub wartości dopuszczalnej prądu bramki sterującej. W przypadku sterowania żarówki wygodnie jest włączyć do układu małą rezystancję  $R_K$  (por. rys. 3.31a) dla ograniczenia prądu żarówki w czasie, gdy włókno jej się nagrzewa. Przy sterowaniu przekaźnika tranzystor powinien być chroniony przed impulsem napięciowym, pojawiającym się przy zmianie stanu wzbudzenia przekaźnika. Do tego celu można zastosować diodę Zenera, która zabezpiecza kolektory tranzystora przed przekroczeniem dopuszczalnej wartości dla danego tranzystora (por. rys. 3.31b). Do ochrony tranzystora można zastosować także diody przyłączone równolegle do cewki przekaźnika (rys. 3.31c). W razie potrzeby zwiększenia prądu kolektora sterowanego tranzystora należy stosować równoległe połączenie bramek (por. rys. 3.29) lub zastosować układ Darlingtona (por. rys. 3.31c).

Wyższy poziom napięciowy w stanie "1" można uzyskać za pomocą dodatkowego tranzystora. Sygnał wyjściowy jest

odbierany z rezystora znajdującego się w obwodzie kolektora (rys. 3.32). Jeżeli zachodzi konieczność sterowania z wyjścia bramki jednocześnie dołączonego tranzystora i dalszych układów cyfrowych, składających się z podobnych bramek, wtedy należy stosować szeregowy rezystor  $R_B$ . Prąd dołączonego tranzystora ogranicza się tak za pomocą tego rezystora, by na wyjściu bramki sterującej został zachowany pewien zapas prądu, potrzebny do wysterowania wejść dołączonych układów cyfrowych. Przykład sterowania dołączonego tranzystora i dalszych układów logicznych przedstawiono na rys. 3.33.

W układzie tym dla zwiększenia prądu w stanie "1" zastosowano dodatkowy rezystor  $R$  o wartości  $680 \Omega$ , poprzez który do bazy tranzystora  $T$  płynie dodatkowy prąd o wartości około  $3,5 \text{ mA}$ , co przy sterowaniu dalszych układów cyfrowych zwiększa obciążalność wyjściową o około 5.

W specjalnych przypadkach może wystąpić potrzeba sterowania bramką tranzystora p-n-p. Taki układ przedstawiono na rys. 3.34. Jeśli wyjście bramki jest w stanie "0", to dołączony tranzystor jest w stanie nasycenia. Prąd bazy jest ograniczany dzięki rezystancji  $R_1$ . Jeżeli wyjście bramki jest w stanie "1", tranzystor znajduje się w stanie zablokowania, gdyż na bazie tranzystora występuje dodatnie napięcie doprowadzone poprzez rezystor  $R_2$  ze źródła napięcia  $U_K$ .

### 3.5. Przerzutniki bistabilne

Przerzutniki ze względu na sposób ich wyzwalania można podzielić na przerzutniki asynchroniczne i synchro-

niczną. W przerzutnikach asynchronicznych zmiana sygnału wejściowego bezpośrednio powoduje zmianę jego stanu. W przerzutnikach synchronicznych informacja wejściowa wprowadzana jest do niego w obecności impulsu taktującego.

Układy przerzutników asynchronicznych mogą być zrealizowane przy zastosowaniu oddzielnych bramek NAND. W istocie, łącząc dwie bramki NAND, według rys. 3.35, można uzyskać najprostszy przerzutnik bistabilny. Układ ten jest nazywany inwersyjnym przerzutnikiem bistabilnym RS. Układ ten ma zdolność magazynowania w czasie informacji logicznych podawanych na jego wejście. Przerzutnik z rys. 3.35 ma dwa wejścia: R i S oraz dwa wzajemnie uzupełniające się wyjścia Q i  $\bar{Q}$ , tzn. że gdy  $Q = 1$ , to  $\bar{Q} = 0$  i odwrotnie..

Niech do wejść przerzutnika zostanie doprowadzony ciąg impulsów. Stan wyjść  $\bar{Q}$  i Q będzie zależał od poprzedniego stanu przerzutnika oraz od sygnału doprowadzanego do wejścia. Oznaczając przez  $Q_n$  stan wyjścia Q w n-tym odcinku czasu,  $Q_{n+1}$  w następnym odcinku czasu oraz przez  $R_n$  - stan wejścia R w n-tym odcinku czasu i  $S_n$  - stan wejścia S w n-tym odcinku czasu, można określić zachowanie się przerzutnika na podstawie załączonej do rys. 3.35 "tablicy wierności".

Z "tablicy wierności" można zauważyć, że dla przerzutnika R-S, w przypadku podania na oba wejścia sygnałów o poziomie "0", stan przerzutnika jest nieokreślony. Podanie "0" na jedno z wejść przy "1" na drugim wejściu, wymusza na wyjściu tej bramki, na której wejście podano



"0" stan "1" - natomiast na drugim wyjściu pojawia się "0". Przy zastosowaniu dwu dalszych bramek można uzyskać przerzutnik bistabilny R-S (rys. 3.36). Wyrażenie charakterystyczne dla takiego przerzutnika jest następujące:

$$Q^{n+1} = \bar{R}^n S^n + Q^n \bar{R}^n \bar{S}^n$$

Przy zachowaniu warunku:  $RS = 0$ , czyli wyeliminowanie stanu nieokreślonego przerzutnika, otrzymuje się:

$$Q^{n+1} = \bar{R}^n Q^n + S^n$$

Przerzutników o bardziej rozbudowanych funkcjach w zasadzie nie realizuje się przez składanie pojedynczych bramek, lecz wytwarza się je jako oddzielne elementy całkowicie w technice układów scalonych.

Najpierw jednak zostanie rozpatrzony prosty układ przerzutnika, otrzymywany z połączeń pojedynczych bramek. Przy wykorzystaniu połowy modułu T 102 można utworzyć układ przerzutnika R-S przeznaczony do zapisu pamięciowego (por. rys. 3.37).

Układ z rys. 3.38 przedstawia prosty rejestr, tzw. "chwytałcz zer". Informacja za pośrednictwem przerzutników jednostabilnych jest podawana na wejścia  $A_1, A_2, A_3$ , natomiast wszystkie wejścia  $B_1, B_2, B_3$  są przyłączone do wspólnego przewodu kasowania, dzięki czemu wszystkie przerzutniki mogą być sprowadzone jednocześnie do stanu początkowego.

Bardziej rozbudowany w porównaniu z układem z rys. 3.38 układ pamięciowy wyposażony w jedną bramkę dodatko-

wą przedstawiono na rys. 3.39. Układ ten pozwala na przenoszenie jedynek ze wspólnej linii informacyjnej, po skasowaniu stanu układów pamięciowych.

Na rysunku 3.40 przedstawiono układ przerzutnika dwustabilnego, zrealizowany przez zastosowanie modułu T 105. Jeżeli wejścia  $S_1$  i  $S_2$  są w stanie odpowiadającym "1" i jeżeli nie ma innych sprzecznych informacji na innych wejściach, przerzutnik ustawia się w stanie odpowiadającym  $Q = "1"$  i  $\bar{Q} = "0"$  lub nie zmienia stanu, w którym się znajdował (tzn.  $Q = "1"$  i  $\bar{Q} = "0"$ ). Wejścia R1 i R2 umożliwiają powrót przerzutnika do stanu początkowego ( $Q = "0"$ ,  $\bar{Q} = "1"$ ). Sygnał "0" na wejściu S3 doprowadza układ pamięciowy do stanu odpowiadającego  $Q = "1"$  i  $\bar{Q} = "0"$ . Sygnał "0" na wejściu R3 sprowadza układ do stanu początkowego, jeżeli  $S1 = 0$  lub  $S2 = 0$ .

W technice układów scalonych, jak już zaznaczono, przerzutniki są wykonywane całkowicie w postaci modułów. W systemach cyfrowych w celu zmniejszenia zakłóceń informacje są wnoszone do obwodów pamięciowych najczęściej tylko w określonych momentach czasu wyznaczonych impulsami "taktowania".

W związku z tym, w technice układów scalonych znajdują również zastosowanie przerzutniki synchroniczne. Przerzutniki te można podzielić na przerzutniki wyzwlane szerokością impulsu, na przerzutniki M-S (Master-Slave) oraz przerzutniki wyzwlane zboczem impulsu.

W przypadku przerzutników synchronicznych wyzwanych szerokością impulsu informacja wejściowa jest rejestrowana w przerzutniku, gdy na wejściu taktującym Z

występuje "1". Przerzutniki M-S składają się z dwu przerzutników wyzwalanych szerokością impulsu: głównego i pomocniczego. Informacja wejściowa jest wprowadzana do przerzutnika głównego, gdy na wejściu Z występuje "1", i następnie wprowadzona z przerzutnika głównego do pomocniczego, gdy na wejściu Z (rys. 3.41) wystąpi "0". W przerzutnikach wyzwalanych zboczem impulsu taktującego informacja jest wprowadzona do przerzutnika w czasie występowania zmiany sygnału na wejściu taktującym (np. z "0" na "1"). Dalej zostaną szczegółowo omówione układy przerzutników synchronicznych.

Układ na rysunku 3.41 przedstawia przerzutnik RS Master-Slave. Układ ten składa się z dwu przerzutników: głównego (master) i pomocniczego (Slave) oraz bramek wejściowych i bramek przenoszenia. Sposób przyjmowania informacji przez przerzutnik główny, przekazywania i magazynowania w przerzutniku pomocniczym przedstawiony jest na rys. 3.42. W chwili  $t_0$ , tj. przed wystąpieniem pierwszego zbocza impulsu taktującego na wejściu T, informacja wejściowa zostaje podana na wejście R i S bramek wejściowych. Ponieważ impuls taktowy nie występuje, więc na wejściu T jest stan odpowiadający "0". "0" na wejściu T blokuje bramki wejściowe, wymuszając na ich wyjściach "1", niezależnie od stanu wejść R i S. A więc, w okresie gdy nie występuje impuls taktowy, informacja wejściowa nie może być wprowadzona do przerzutnika głównego. Z chwilą wystąpienia impulsu taktowego, w momencie czasu  $t_1$ , gdy zbocze impulsu taktowego uzyska poziom "1", bramki wejściowe zostają otwarte dla sygnałów.

wejściowych. W tym momencie czasu informacja wejściowa (stan wejść R i S) zostaje zarejestrowana w przerzutniku głównym. Można więc stwierdzić, że rejestracja sygnałów wejściowych następuje w czasie wystąpienia impulsu taktowego. Równocześnie należy zauważyć, że "1", odpowiadająca impulsowi taktowemu, zostaje zamieniona przez zastosowanie bramki inwertera (bramka 1 w zespole bramek przenoszenia) na "0", blokujące bramki 2, 3, w zespole bramek przenoszenia. A więc, w czasie trwania impulsu taktowego przerzutnik pomocniczy jest odizolowany od przerzutnika głównego. Z chwilą zakończenia impulsu taktowego, w momencie czasu  $t_2$ , gdy zbocze impulsu taktowego uzyska poziom "0", bramki wejściowe zostają zablokowane, natomiast bramki przenoszenia 2 i 3 zostają otwarte, i informacja z przerzutnika głównego zostaje zarejestrowana w przerzutniku pomocniczym. Wejście  $\bar{S}_D$ , zwane ustawiającym, służy do ustawienia przerzutnika w takim stanie, by  $Q = "1"$  i  $\bar{Q} = "0"$ . Natomiast wejście  $\bar{R}_D$ , zwane kasującym, służy do ustawienia przerzutnika do stanu początkowego, tzn.  $Q = "0"$  i  $\bar{Q} = "1"$ . Pojawienie się "0" na odpowiednim wejściu wymusza wyżej podany stan wyjść przerzutnika, niezależnie od stanu jego wejść. Tablica wierności dla wejść R, S oraz  $\bar{R}_D$  i  $\bar{S}_D$  (rys. 3.41) przedstawia funkcje realizowane przez rozważany układ przerzutnika. Z tablicy wierności przerzutnika RS Master-Slave można zauważyć, że dla wartości  $RS = 1$  występuje na wyjściu przerzutnika stan nieokreślony. Dąży się do tego, by sposobami technicznymi przy  $RS = 1$  występowało wydanie informacji w ściśle jednoznaczny sposób. Udaje

się to uzyskać w przerzutnikach RS przez odpowiednie połączenie R1 i S1 z Q i  $\bar{Q}$ . Rysunek 3.43 przedstawia układ połączeń w przerzutniku powstałym dzięki tym połączeniom i określanym jako przerzutnik JK Master-Slave. Przerzutnik ten jest tak zbudowany (por. rys. 3.43), że przy JK = 1 następuje zmiana stanu przerzutnika (por. tablicę wierności). Wyrażenie charakterystyczne przerzutnika JK MS jest następujące:

$$Q^{n+1} = J^n \bar{K}^n Q^n + J^n K^n \bar{Q}^n + J^n \bar{K}^n$$

lub

$$Q^{n+1} = J^n \bar{Q}^n + \bar{K}^n Q^n$$

Zasada pracy układu przerzutnika JK jest podobna do zasady pracy poprzednio omawianego przerzutnika RS. W technice układów scalonych są oferowane zarówno proste układy RS, jak i JK. Przez zastosowanie odpowiednich sprzężeń w schemacie okablowania przerzutnika RS (połączenie S z  $\bar{Q}$  i R z Q) można go zawsze zamienić w przerzutnik JK. Oczywiście wiąże się to ze stratą jednego wejścia w każdej z bramek wejściowych. Następną modyfikacją układu przerzutnika jest przerzutnik T. Układ przerzutnika T, zwany często dwójką liczącą (Trigger Flip-flop), można otrzymać przez odpowiednie połączenia wejść i wyjść w układzie przerzutnika RS lub JK (rys. 3.44). Na rysunku tym została również przedstawiona tablica wierności dla tego typu przerzutnika. Pojawienie się impulsu odpowiadającego "1" na wejściu T powoduje zmianę stanu wyjścia przerzutnika na dopełnieniowy. Wy-

rażenie charakterystyczne przerzutnika T jest następujące:

$$Q^{n+1} = Q^n J^n + \bar{Q}^n \bar{J}^n$$

Układ przerzutnika "T" jest często stosowany jako podstawowy człon liczników binarnych.

Poza wymienionymi typami przerzutników istnieją układy przerzutników D. Można je uzyskać z układów przerzutnika RS lub JK przez dołączenie bramki negacji, pozwalającej na automatyczne spełnienie warunku  $RS = 0$  (rys. 3.45).

W półprzewodnikowych układach scalonych w praktyce najczęściej są produkowane przerzutniki typu JK Master-Slave i typu D Master-Slave. W rodzinie układów scalonych firmy SGS występują dwa typy przerzutników JK Master-Slave - T 100 i T 101. Rysunek 3.46 przedstawia schemat układu przerzutnika T 100. Dane dotyczące obciążalności wejść i wyjść, numeracja końcówek oraz symbole przerzutników są przedstawione na rys. 3.46. Sygnał taktowy odpowiadający "0" podany na wejście  $\bar{T}$  przechodzi przez inwerter (bramka W3), pozwalający na jednostkowe obciążenie generatora impulsów taktujących (zamiast zwiększonego obciążenia w przypadku sterowania bezpośredniego bramek wejściowych W1 i W2). Przerzutnik T 100, podobnie jak omawiany poprzednio przerzutnik JK, składa się z bramek wejściowych (W1, W2, W3), przerzutnika głównego (bramki M1, M2, M3, M4), bramek przenoszenia (T1, T2) oraz przerzutnika pomocniczego (bramki E1, E2, E3, E4). Wyżej wymieniony podział na poszczególne zespoły

został przeprowadzony dla łatwiejszego omawiania zasady pracy przerzutnika.

Jeżeli sygnał taktowy jest w stanie "1" na wejściu  $\bar{T}$ , to na wejściach  $J_T$  i  $K_T$  bramek  $W1, W2$  wystąpi "0". Wejścia  $J1, J2, J3, J_k, K1, K2, K3, J_0, K_0$  są więc nieuprawnione i informacja wejściowa nie może być wprowadzona do przerzutnika głównego. Z chwilą osiągnięcia przez impuls taktowy "0", jedna z bramek wejściowych staje się uprawniona do przenoszenia informacji wejściowej. Jeżeli założyć stan początkowy  $\bar{Q} = "1"$  i  $Q = "0"$ , wówczas na skutek istnienia pętli sprzężenia z wyjścia przerzutnika pomocniczego do bramek wejściowych ( $\bar{Q} \rightarrow J_0$  i  $Q \rightarrow K_0$ ) bramka  $W2$  będzie nadal nieuprawniona do przenoszenia informacji wejściowej. Równocześnie sygnał taktujący na wejściu  $\bar{T}$ , będący w stanie "0", nie pozwala na przejście informacji z przerzutnika głównego do pomocniczego ("1" na wyjściu bramki  $E1$  wymusza "0" na wyjściu bramki  $E2$ , niezależnie od stanu pozostałych wejść). Z chwilą przejścia sygnału taktującego z "0" do "1", bramki wejściowe zostają zablokowane, a informacja z przerzutnika głównego może być przeniesiona do przerzutnika pomocniczego (poprzez wprowadzenie "0" na wejście bramki  $E2$  lub  $E4$ ). Jeżeli informacja odpowiadająca "1" na wejściu  $J = J1, J2, J3$  została wprowadzona do przerzutnika głównego ( $x = 1, \bar{x} = 0$ ), to informacja ta zostanie w tym czasie przeniesiona przez bramkę  $T1$  ("0" na wyjściu tej bramki wymusza "1" na wyjściu bramki  $E2$ ) do przerzutnika pomocniczego. Przy następnym wprowadzeniu informacji do przerzutnika głównego, bramka  $W2$  będzie

uprawniona doprowadzenia informacji wejściowej, gdyż "1" z wyjścia Q jest podana na wejście  $K_0$  bramki K2.

Dla uzyskania małej podatności na zakłócenia w większości zastosowań sygnał taktujący powinien pozostawać jak najkrócej w stanie "0", zaś sygnały na wejściach synchronicznych (J,K) powinny pozostawać jak najkrócej w stanie "1" jedynie w czasie zmiany stanu przerzutnika.

Wejścia asynchroniczne  $\bar{C}_D$  i  $\bar{S}_D$  służą do ustawiania przerzutnika w odpowiedni stan. Gdy na wejścia  $\bar{C}_D$  i  $\bar{S}_D$  podać "1", to nie zmienia się stan przerzutnika. Jeżeli na wejście  $\bar{C}_D$  podać "0", to na wyjściu przerzutnika zostanie wymuszony stan:  $\bar{Q} = 1$  i  $Q = 0$ . Wejście  $\bar{C}_D$  można określić jako wejście kasujące, gdyż sprowadza ono przerzutnik do stanu początkowego. Gdy na wejście  $\bar{S}_D$  podać "0", to na wyjściu przerzutnika zostaje wymuszony stan:  $\bar{Q} = 0$ ,  $Q = 1$ ; wejście to spełnia więc rolę wejścia ustawiającego. W tablicy na rys. 3.46 podano zależność stanu przerzutnika od stanu wejść asynchronicznych. Należy zaznaczyć, że wejścia asynchroniczne wywołują stan przerzutnika, niezależnie od stanu na pozostałych wejściach przerzutnika. Na rysunku 3.47 przedstawiono przebiegi czasowe występujące w przerzutniku modułu T 100.

Inny sposób wykonania przerzutnika JK typu M-S, często spotykany w rodzinie układów TTL, został przedstawiony na przykładzie przerzutnika SF.C 472 firmy Sescossem (rys. 3.48a). W przerzutniku tym impulsy taktujące sterują zmianą stanu tranzystorów sprzężenia (T1, T2), łączących przerzutnik główny z przerzutnikiem pomocniczym. Zasadę pracy przerzutnika omówiono w oparciu o



charakterystyczne momenty czasu, wyróżnione na przebiegu impulsu taktującego (rys. 3.48b). Przed momentem czasu  $t_1$  informacja z przerzutnika głównego jest wypisywana z przerzutnika głównego do przerzutnika pomocniczego, gdyż stan kolektorów tranzystorów sprzężenia T1 i T2 może ulec zmianie w zależności od stanu wyjść bramek 3 i 4. W momencie czasu  $t_1$  na kolektorach tranzystorów sprzężenia występuje "1" i przerzutnik pomocniczy jest izolowany od przerzutnika głównego. W momencie  $t_2$  informacja wejściowa jest kierowana do przerzutnika głównego. Zakładając stan wyjściowy, przerzutnik  $Q = "0"$  oraz  $J = J_1 \cdot J_2 \cdot J_3 = "1"$ , informacja wejściowa jest przez bramkę wejściową 2 wprowadzana do wejścia bramki 4, wymuszając na jej wyjściu "0", równocześnie na obu wejściach bramki 3 wystąpi "0" (niezależnie od stanu na wejściach K1, K2, K3, gdyż wyjście Q blokuje bramkę 1), powoduje to wystąpienie "1" na wyjściu bramki 3. W momencie czasu  $t_3$  bramki wejściowe zostają blokowane, a więc przerzutnik główny jest izolowany od informacji wejściowych. W momencie  $t_4$  informacja wyjściowa z przerzutnika głównego jest wprowadzana do przerzutnika pomocniczego. Wprowadzenie informacji jest możliwe, gdyż elementy tranzystorów sprzężenia mają potencjał odpowiadający "0" i potencjał "1" występuje w dalszym ciągu na wyjściu bramki 3 ("0" występuje w dalszym ciągu na obu wejściach tej bramki). Z wyjścia bramki 3 poziom ten jest przenoszony jako "0" na wejście bramki 5. Stan "0" występujący na wejściu tej bramki wymusza "1" na wyjściu Q. Informacja wejściowa nie powinna być wprowadzana.

dzana do przerzutnika, gdy na wejściu taktującym występuje "1".

Zasadę pracy przerzutników wyzwalanych zboczem impulsu taktującego przedstawiono opierając się na układzie przerzutnika z rys. 3.49. Odpowiednikiem przerzutnika wyzwalanego zboczem impulsu taktującego jest przerzutnik klasyczny z układem różniczkującym; takie układy nie są zwykle realizowane w technice układów scalonych wobec trudności w realizacji pojemności. Przerzutnik R-S, wyzwalany zboczem impulsu z rys. 3.49 jest wyposażony dodatkowo w dwie bramki 1 i 2, służące do blokowania wejść przerzutnika, w czasie gdy impuls taktujący odblokowuje bramki 3 i 4. Gdy na wejściu T przerzutnika wystąpi "0", bramki 3 i 4 są zablokowane, zaś na wyjściach tych bramek występuje "1". Przejście impulsu taktującego do stanu "1" powoduje odblokowanie bramek 3 i 4 i informacja wejściowa zostaje wprowadzona do przerzutnika pomocniczego RS, utworzonego z bramek 3, 4 i 1, 2. Z chwilą ustalenia się informacji wejściowej w przerzutniku pomocniczym następuje blokada bramek wejściowych. Jednocześnie informacja z wyjścia przerzutnika pomocniczego jest wprowadzona do przerzutnika wyjściowego, składającego się z bramek 5, 6.

Typowy układ przerzutnika wyzwalanego zboczem impulsu przedstawiono na rys. 3.50a. Jest to przerzutnik D typu SN 5474, SN 7474 firmy Texas Instruments, równoważny przerzutnikowi SFC 474E firmy Sescosem, wyzwalany dodatnim zboczem impulsu taktującego. W czasie gdy na wejściu T występuje "0", na wyjściach bramek 2 i 3 zostaje wymuszo-

na "1" i przerzutnik wyjściowy zbudowany z bramek 5, 6 zachowuje informację wyjściową. Z chwilą przejścia impulsu taktującego ze stanu "0" do stanu "1", informacja wejściowa  $D = "1"$  zostaje przeniesiona z wyjścia bramki 4 jako "0" do wejścia bramki 1 i następnie przeniesiona do przerzutnika wyjściowego, wymuszając "1" na wyjściu  $Q$ ; równocześnie zaś blokowana jest bramka 3. W przypadku gdy na wejściu  $D$  występuje "0" - "1" z wyjścia bramki 4 nie zmienia stanu przerzutnika zbudowanego z bramek 1,2, zaś "0" z wyjścia bramki 3 wymusza stan  $\bar{Q} = 1$ , równocześnie następuje blokada bramki 4. Na rysunku 3.50b przedstawiono przebieg czasowy pracy rozważanego przerzutnika.

Na rysunku 3.51 przedstawiono uproszczony schemat współpracy dwu układów przerzutnikowych A i B. Układ B otrzymuje informacje wejściowe z pewnym opóźnieniem  $t_{op}$  związanym z przejściem sygnałów logicznych przez układy cyfrowe znajdujące się między wyjściem A a wejściem B. W zasadzie sygnały taktowania powinny przychodzić do wejść taktujących przerzutników A i B jednocześnie, lecz w praktyce występują między tymi sygnałami przesunięcia czasowe. Działanie układów z rys. 3.51 jest prawidłowe, gdy zmiana stanu układu B, występująca z chwilą zakończenia impulsu taktującego przychodzącego do tego przerzutnika, zależy od stanu układu A, określonego już w czasie poprzedniego impulsu taktowego. Prawidłowe działanie nakazywałoby, by sygnał taktowy  $T_B$ , dochodzący do B, był podawany jednocześnie lub wyprzedzał sygnał taktowy  $T_A$ , podawany do A. Dozwolone jest też pewne do-

stątecznie małe opóźnienie sygnału  $T_B$ , w stosunku do  $T_A$ . Jeśli opóźnienie jest większe, wówczas układ B będzie wprowadzany do stanu zależnego od stanu układu A, określonego w czasie trwania tego samego sygnału taktującego, a więc przyjęta informacja przez B będzie błędna. Dla zapewnienia prawidłowego działania układów A i B przesunięcie czasowe między impulsami taktującymi  $T_B$  i  $T_A - t_{cs}$  (clock skew) powinno spełniać zależność:

$$\Delta t_{cs} \leq t_{op(\min)} + t_{pd+(\min)} + t_{od(\min)}$$

gdzie:

- $t_{op(\min)}$  - minimalny czas potrzebny do przejścia przez wszystkie układy cyfrowe znajdujące się pomiędzy przerzutnikami
- $t_{pd+(\min)}$  - minimalny czas tracony w układzie wyjściowym, potrzebny do osiągnięcia prawidłowego poziomu logicznego po nadejściu sygnału taktowego
- $t_{od(\min)}$  - minimalny czas "roziączania" ( $t_{release}$ ). Czas roziączania oznaczany jest jako maksymalny odstęp czasowy, jaki dzieli moment nadejścia "1" na wejście przerzutnika od momentu zakończenia impulsu taktowego.

Gdy opóźnienia między układami przerzutnikowymi są duże (duża wartość  $t_{op}$ ), zagadnienie różnic czasów na-

dejsčia sygnałów taktowania nie ma znaczenia. W spotykanych rozwiązaniach dąży się do tego, aby sygnały taktujące  $T_D$  przychodziły przed sygnałami  $T_A$ ; osiąga się to bądź przez właściwe okablowanie, bądź przez wprowadzanie odpowiednich dodatkowych układów opóźniających sygnały taktujące (drogą wprowadzania dodatkowych bramek).

Jak już zaznaczono wcześniej, w szeregu wyrobów firmy SGS występują dwa różne przerzutniki: T 100 i T 101, przerzucane zboczem impulsu taktującego. Różnica między układami T 100 i T 101 polega między innymi na różnicy wartości czasów ustawienia ( $t_{\text{set-up}}$ ). Czas "ustawiania" określa się jako minimalny czas, występujący między podaniem "1" na wejście synchroniczne a zakończeniem impulsu taktującego (przejście ze stanu "0" do "1"), potrzebny do przejścia przerzutnika do właściwego stanu. Czas ustawiania dla przerzutnika T 101 wynosi od 1 do 10 ns. Dla przerzutnika T 100 czas ten jest od 12 do 30 ns dłuższy niż w przerzutniku T 101. To przedłużenie czasu ustawiania wprowadzono w celu uzyskania większej niewrażliwości na różnice czasów nadejścia sygnałów taktowania /wskutek zwiększenia wartości czasu  $t_{\text{od}}$ /. Przy większych częstotliwościach taktowania stosowany jest przerzutnik T 101, gdyż ma on mniejsze opóźnienia w przenoszeniu sygnałów. Przerzutnik T 101, w odróżnieniu od przerzutnika T 100, ma dwa wejścia z dołączonymi bramkami negacji -  $\bar{J}_2$  i  $\bar{K}_2$ , umożliwiającymi pracę układu przerzutnika T 101 jako przerzutnika typu D. W szeregu T 100 firmy SGS są produkowane układy z dwoma przerzutnikami w jednej obudowie; są to moduły T 120 i T 121 (por. rys. 3.16).

Układy przerzutników są podstawowymi członami rejestrów i liczników. Poniżej zostaną przedstawione wybrane przykłady realizacji takich układów. Na rys. 3.52 został przedstawiony układ 4-stopniowego rejestru przesuwającego, z wejściem uprawnienia. Na rysunku tym przedstawiony został schemat montażowy praktycznie wykonanego rejestru oraz jego wykres czasowy. Należy zauważyć, że w schemacie połączeń wewnętrznych nie występują krzyżowania. Na rysunku 3.53 został przedstawiony synchroniczny licznik pracujący w kodzie dwójkowym, nie wymagający dodatkowych bramek, natomiast wymagający dodatkowych połączeń poza warstwę druku. Nazwa synchroniczny pochodzi stąd, że impulsy taktujące są jednocześnie doprowadzone do wszystkich wejść taktujących członów licznika.

Na rysunku 3.54 została przedstawiona dekada asynchroniczna pracująca w kodzie 1-2-4-8. Nazwa asynchroniczna pochodzi stąd, że impulsy są doprowadzane do wejść taktujących w różnych momentach czasu zgodnie z wymaganymi funkcjami.

Na rysunku 3.55 została przedstawiona dekada synchroniczna, pracująca w kodzie 1-2-4-8, nie wymagająca dodatkowych bramek.

Na rysunku 3.56 przedstawiono dekadę synchroniczną, pracującą w kodzie Aikena 1-2-4-2.

W wyżej przedstawionych układach nie wykorzystane wejścia bramek wejściowych są podłączone do zacisku napięcia zasilającego  $+U_k$ , co jednak nie zostało dla uproszczenia rysunków oznaczone na schematach. Wiele schematów układów liczników pracujących w różnych systemach licze-

nia impulsów (liczenie w kierunku prostym, odwrotnym i w obu kierunkach) znaleźć można w pozycji [17] wykazu literatury.

### 3.6. Przerzutniki monostabilne

Bardzo ważnymi układami urządzeń cyfrowych są przerzutniki monostabilne. Obecnie niektóre przodujące w zakresie układów scalonych firmy produkują już do tego celu monolityczne układy scalone (np. Texas Instruments - SN 74 121 N). Układy te nie zawsze mogą spełniać stawiane im wymagania odnośnie parametrów technicznych. W wypadku wystąpienia trudności w uzyskaniu wymaganych parametrów oraz w wypadku braku scalonych układów przerzutników monostabilnych w wykorzystywanej serii układów, stosowane mogą być układy scalonych bramek w połączeniu z dodatkowymi elementami dyskretnymi.

Układy przerzutników monostabilnych pozwalają przy podaniu na wejścia impulsów startowych na wytworzenie pojedynczych impulsów wyjściowych o określonych parametrach. Układy zbudowane przy zastosowaniu bramek scalonych pozwalają na wytworzenie impulsów wyjściowych o czasach trwania od 10 ns do kilku minut.

Podstawowymi parametrami układów przerzutników monostabilnych są: czas trwania impulsu wyjściowego, stałość czasu trwania impulsu wyjściowego, stromość zboczy impulsu wyjściowego i odporność na zakłócenia. Zależnie od wymaganych parametrów układu, stosuje się różne układy połączeń scalonych bramek z elementami dyskretnymi.

Tu będą rozpatrywane 4 podstawowe rodzaje przerzutników monostabilnych: przerzutniki monostabilne z zastosowaniem wyłącznie bramek, przerzutniki monostabilne z członami RC, przerzutniki monostabilne z zastosowaniem tranzystorów i członów RC oraz przerzutniki monostabilne z zastosowaniem przerzutników R-S.

### Układy przerzutników monostabilnych z wyłącznym zastosowaniem bramek

Podstawowy schemat układu został przedstawiony na rys. 3.57a. Wykorzystuje się tu zjawisko opóźnienia sygnałów powodowanego przez bramkę. Jeśli w stanie ustalonym na wejściu układu wystąpi "0", to na wejściu B bramki 4 wystąpi natychmiast "0", zaś na wejściu A tej bramki - "1". Zatem na wyjściu wystąpi "1". Z chwilą podania na wejście "1" (impulsu startowego) - pojawia się natychmiast ta "1" na wejściu B bramki 4, a na wejściu A bramki 4 pozostaje "1" przez czas określony opóźnieniem wprowadzonym przez trzy bramki: 1, 2, 3. Na wyjściu układu wystąpi "0" przez czas odpowiadający występowaniu "1" jednocześnie na obu wejściach bramki 4 (oczywiście sygnał wyjściowy jest opóźniony przez bramkę 4).

Można wyróżnić dwa przypadki pracy układu, co przedstawiono na rys. 3.57b: przypadek, gdy impuls wejściowy jest krótki (czas trwania impulsu wejściowego mniejszy od czasu opóźnienia wnoszonego przez 3 bramki) oraz przypadek, gdy impuls wejściowy jest długi (dłuższy od czasu opóźnienia wnoszonego przez 3 bramki). Jeżeli im-



puls wejściowy jest krótki, to impuls wyjściowy zostaje skrócony, natomiast w przypadku impulsu długiego - długość jego będzie stała i określona przez czas opóźnienia 3 bramek. Tak więc układy te nadają się tylko do skracania impulsów wejściowych i stosowane są zwykle do otrzymywania impulsów o małych czasach trwania. Wytwarzanie dłuższych impulsów wyjściowych wymaga zastosowania większej liczby bramek i staje się nieekonomiczne.

#### Układy przerzutników monostabilnych z zastosowaniem członów RC

Najprostszy przerzutnik z zastosowaniem członu RC można zrealizować łącząc dwie bramki za pośrednictwem członu RC (rys. 3.58a). W stanie ustalonym na wejściu bramki 1 występuje "1" (por. rys. 3.58b), na wejściu bramki 1 - "0", na wejściu bramki 2 - "0" i na wyjściu bramki 2 - "1". Jeżeli pojawi się na wejściu bramki 1 impuls "0" (impuls startowy), to na wyjściu bramki 1 pojawi się "1", która "przeniesie" się na wejście bramki 2, a więc na wyjściu układu wystąpi "0". Kondensator C ładuje się przez rezystancję R i napięcie na wejściu bramki 2 zmierza w kierunku 0 V. Jeśli tylko napięcie to obniży się do wartości napięcia progowego, to bramka 2 przejdzie do stanu "1". Czas trwania impulsu wyjściowego jest określony przez stałą czasu RC (przy założeniu impulsów wejściowych o czasach trwania większych od czasu trwania impulsu wyjściowego). Układ analizowany ma szereg wad. Wymaga stosowania małych wartości rezystancji R, tak aby

spadek napięcia od maksymalnego prądu płynącego w stanie "0" nie przekraczał 0,8 V (co ogranicza wartości R do około  $500 \Omega$ ). To pociąga za sobą przy uzyskiwaniu czasów trwania impulsów wyjściowych rzędu kilku ms konieczność stosowania kondensatorów o dużych pojemnościach. Następną wadą jest to, że stromość zboczy impulsów wyjściowych jest zbyt mała oraz to, że układ pozwala jedynie na skracanie impulsów wejściowych.

Ostatnią z wymienionych wad eliminuje układ przedstawiony na rys. 3.59a. Połączenie z wyjścia układu na wejście B bramki 1 blokuje bramkę wejściową w czasie trwania impulsu wyjściowego. Długość impulsu wejściowego nie ma więc wpływu na czas trwania impulsu wyjściowego (por. rys. 3.59b). Poza tym uzyskuje się zwiększenie stromości zbocza tylnego impulsu wyjściowego, ale tylko przy impulsach wejściowych krótszych od impulsów wyjściowych.

Jeżeli wymagane jest zmniejszenie zależności czasu trwania impulsu wyjściowego od temperatury, stosuje się zmodyfikowany układ, cechujący się tym, że zostaje wprowadzona dioda kompensująca (włączana pomiędzy rezystor R a wejście bramki 2 układu z rys. 3.59a).

#### Układy przerzutników monostabilnych z zastosowaniem tranzystorów i członów RC

Wady analizowanych wyżej układów można wyeliminować stosując układy, w których występują obok członów RC - - tranzystory. Najprostszy tego typu układ przedstawiono na rys. 3.60a. W stanie ustalonym na wejściach A i B bram-

ki 1 występują "1", a wyjście bramki 2 ma poziom "1" (por. rys. 3.60b). Tranzystor T przez zastosowanie rezystancji  $R_2$  dołączonej do zacisku źródła napięcia zasilania jest w stanie nasycenia, a więc na jego kolektorze wystąpi "0", a na wyjściu bramki 3 - "1". Rezystancja  $R_1$  zwiększa napięcie wyjściowe bramki 2 z typowej wartości 3,5 V do wartości napięcia zasilania  $U_k$ . Minimalna wartość rezystancji  $R_1$  wynosi 330  $\Omega$  i jest określona przez maksymalną wartość prądu, jaki może płynąć do wyjścia bramki 2, będącej w stanie "0". Jeśli na wejście układu zostanie doprowadzony impuls startowy o poziomie "0", to wyjście bramki 2 przejdzie do "0". Na bazie tranzystora T pojawi się napięcie, które go zablokuje. Na wyjściu tranzystora T wystąpi więc "1", czyli na wyjściu całego układu "0". Sygnał wyjściowy o poziomie "0" podany zostaje na wejście B bramki 1, blokując tę bramkę. Od tego momentu, czas trwania impulsu wyjściowego jest niezależny od czasu trwania impulsu wejściowego. Kondensator C rozładowuje się przez rezystancję  $R_2$  i źródło zasilania. Potencjał na bazie tranzystora T rośnie, aż do momentu, kiedy tranzystor ten osiągnie stan nasycenia. Napięcie na kolektorze tranzystora T znów osiąga poziom "0", a więc na wyjściu układu występuje "1" i z wyjścia układu zostaje podana na wejście B bramki 1. Jeżeli wejściowy impuls startowy zakończył się wcześniej ("1" na wejściu układu) niż impuls wyjściowy, to wówczas wystąpią "1" na obu wejściach A i B bramki 1 i pojawi się "1" na wyjściu bramki 2, powiększająca stromość tylnego zbocza impulsu wyjściowego wskutek przy-

spieszenia wprowadzenia tranzystora T do stanu nasycenia. Jeżeli impuls wejściowy jeszcze trwa, wówczas na wyjściu bramki 2 występuje w dalszym ciągu "0", a więc powiększenie stromości tylnego zbocza impulsu wyjściowego nie wystąpi. Czas trwania impulsu wyjściowego określony jest w przybliżeniu przez wielkość  $0,8 R_2 C$ . Wartość rezystancji  $R_2$  zależy od współczynnika wzmocnienia prądowego zastosowanego tranzystora  $h_{21E}$ . Im większa wartość  $h_{21E}$ , tym większa wartość  $R_2$ , a więc tym większe można uzyskać wartości czasów trwania impulsów wyjściowych. W układzie z rys. 3.60a stabilność czasu trwania impulsu wyjściowego jest większa od stabilności poprzednio rozważanych układów. Przy zmianach napięcia zasilania  $0 \pm 0,25$  V, zmiany czasu trwania impulsu wyjściowego mogą być mniejsze od 1%, przy zmianach zaś temperatury w zakresie od  $0^\circ$  do  $70^\circ$  mogą wynosić około  $0,05\%/1^\circ\text{C}$ . Wadą omawianego układu jest czułość na zakłócenia występujące w obwodach zasilania. Jeśli pojawią się impulsy zakłócające na zaciskach źródła zasilania, to mogą doprowadzić do zmniejszenia wartości napięcia baza-emiter tranzystora T, i w efekcie końcowym mogą spowodować zablokowanie tranzystora T. W konsekwencji błędny impuls może być przekazany na wejście B bramki 1 jako "0", analogicznie do impulsu startowego. To szkodliwe zjawisko można wyeliminować stosując układ przedstawiony na rys. 3.61. W układzie tym występuje dodatkowe połączenie wyjścia bramki 1 z wejściem B bramki 3. Jeżeli skutek działania zakłóceń na wyjściu tranzystora T wystąpi "1", to impuls ten nie zostanie przeniesio-

ny na wejście układu, gdyż bramka 3 jest blokowana poziomem "0", przychodzącym z wyjścia bramki 1.

Jeżeli wymagana jest duża stromość zboczy impulsów wyjściowych, przy długich i krótkich impulsach wejściowych, to stosuje się układ przedstawiony na rys. 3.62a. W układzie zastosowano bramki AND - NOR. W stanie ustalonym na wejściu bramki 2 występuje "0" i na wejściu A bramki 1 - "0" (por. rys. 3.62b). Na wyjściu bramki 4 wystąpi więc "0". Jeżeli na wejście układu zostanie podany impuls startowy (o poziomie "1"), to przechodząc na wejście bramki 2 powoduje wystąpienie "0" na wyjściu bramki 3, a więc wytworzenie impulsu o poziomie "1" na wyjściu tranzystora T. Na wejściach A i B wystąpią więc "1", które dalej utrzymają "0" na wyjściu bramki 3. Czas trwania impulsu wyjściowego jest niezależny od czasu trwania impulsu wejściowego, gdyż na wyjściu bramki 2 występuje "0" natychmiast po wprowadzeniu impulsu wejściowego. Po czasie równym około  $0,8 R_2 C$  tranzystor T przechodzi do stanu nasycenia, a więc na wejściu A bramki 1 wystąpi "0", które powoduje pojawienie się "1" na wyjściu bramki 3 (gdyż na wyjściu bramki 2 występuje już "0"), co przyspiesza proces nasycenia tranzystora T, a więc zwiększa stromość tylnego zbocza impulsów wyjściowych. Jeśli pojawi się zakłócenie, to na wyjściu tranzystora T wystąpi "1". "1" z wyjścia tranzystora T nie zostanie przeniesiona na wyjście bramki 3, gdyż bramka 1 jest zablokowana na skutek "0" występującego na wyjściu bramki 4. Dopiero pojawienie się "1" na wejściu układu może spowodować powstanie impulsu wyjściowego.

## Układy przerzutników monostabilnych z zastosowaniem przerzutników R-S

Przykład wykonania przerzutnika monostabilnego z zastosowaniem przerzutnika R-S został przedstawiony na rys. 3.63a. W stanie ustalonym na wejściu A bramki 1 występuje "1". Na wyjściu bramki 1, w stanie ustalonym wystąpi "0", na obu wejściach bramki 3 wystąpią "0", a na wyjściu bramki 3 "1" i na wyjściu bramki 2 wystąpi "1" (por. rys. 3.63b).

Jeżeli na wejściu układu wystąpi impuls startowy o poziomie "0", to po zróżniczkowaniu przez układ  $C_1 R_1$  zostanie podany na wejście A bramki 1 krótki impuls o poziomie "0". Wyjście bramki przechodzi do "1", która wystąpi też na wejściu A bramki 3. Ponieważ wejście B bramki 3 jest "odizolowane" diodą D od wejścia A, więc wejście B w dalszym ciągu utrzymuje "0", czyli na wyjściu bramki 3 pozostaje "1", ale na wyjściu bramki 2 wystąpi "0" ("1" na wejściach A i B bramki 2). Kondensator C ładuje się w obwodzie: źródło napięcia  $U_k$ , rezystancja R ( $4\text{ k}\Omega$ ) w bazie tranzystora wieloemiterowego bramki 3 oraz złącze emiter-baza tego tranzystora i dlatego napięcie na wejściu B bramki 3 rośnie. Jak tylko napięcie na kondensatorze C osiągnie wartość napięcia progowego odpowiadającego "1", wyjście bramki 3 przechodzi do "0", co z kolei spowoduje przejście wyjścia bramki 2 do "1" - czyli stanu początkowego. Ponieważ impuls startowy na wejściu A bramki 1 został już wcześniej zakończony (dzięki małej wartości stałej cza-

su  $R_1 C_1$ ), więc na obu wejściach bramki 1 występują "1", czyli na wyjściu bramki wystąpi "0". Tak więc przerzutnik R-S osiągnął swój stan początkowy. "0", które wystąpiło na wyjściu bramki 1 zostaje przeniesione na oba wejścia bramki 3, powodując przejście wyjścia tej bramki do stanu "1". Nie powoduje to jednak zmiany stanu przerzutnika R-S. Przedstawiony układ jest wygodny przy skracaniu i wydłużaniu impulsów wyjściowych. Stałości czasów trwania impulsów wyjściowych nie są w tym układzie zbyt duże. Inny sposób wykorzystania przerzutnika R-S do budowy przerzutników monostabilnych został przedstawiony na rys. 3.64a. Wykorzystuje się tu znane układy z tranzystorem i członem RC oraz przerzutnik dwustabilny R-S. W stanie ustalonym na wejściu układu występuje "1". Ponieważ tranzystor T jest w stanie nasycenia, więc "0" z wyjścia tego tranzystora podane na wejście B bramki 2 powoduje wystąpienie "1" na jej wyjściu. Tak więc oba wejścia bramki 1 mają poziom "1", z czego wynika obecność "0" na wyjściu bramki 1 i "1" na wyjściu bramki 3. Równocześnie "0" z wyjścia bramki 1 blokuje bramkę 2, zapobiegając oddziaływaniu impulsów zakłócających na czas trwania impulsu wyjściowego.

Wystąpienie impulsu startowego o poziomie "0" na wejściu układu przerzutnika powoduje pojawienie się "1" na wyjściu bramki 1 i "0" na wyjściu bramki 3. To z kolei powoduje zablokowanie tranzystora T, a więc wystąpienie "1" na wejściu B bramki 2, czyli "0" na wyjściu bramki 2. Czas trwania impulsu wyjściowego, jak już wcześniej zaznaczono, jest określony głównie przez stałą czasu RC.

Przedstawiony układ jest wygodny zarówno do skracania, jak i wydłużania impulsów wejściowych. Wadą układu jest to, że przy długich impulsach startowych (o czasach trwania większych od czasu trwania impulsu wyjściowego), zakłócenie pojawiające się w układzie z tranzystorem T może zostać przeniesione na wyjście układu. W układzie na rys. 3.64a dodatkowa bramka 4. pozwala na uzyskanie inwersyjnego sygnału wyjściowego i na zwiększenie stromości zboczy impulsów wyjściowych, zaś dioda D pozwala na zmniejszenie zależności czasu trwania impulsu wyjściowego od temperatury. W układzie rozważanym możliwa jest do uzyskania stałość czasu trwania impulsu wyjściowego rzędu  $0,014\%/^{\circ}\text{C}$  w funkcji temperatury i rzędu  $0,6\%/1\text{ V}$  w funkcji zmian napięcia zasilania.

Większe wartości czasów trwania impulsów wyjściowych można uzyskać stosując układ z dwoma tranzystorami, przedstawiony na rys. 3.65. Układ ten wymaga dodatkowej bramki inwersyjnej (bramka 5). W układzie tym można wytworzyć impulsy wyjściowe o czasach trwania powyżej kilku minut.

### 3.7. Przerzutniki astabilne

Przerzutniki astabilne można zbudować przez odpowiednie połączenie dwu przerzutników monostabilnych, zrealizowanych w technice scalonej, i dołączenie kilku elementów zewnętrznych typu RC lub przez zastosowanie typowych scalonych układów logicznych z dodatkowymi elementami dyskretnymi. W układach z zastosowaniem bramek scalonych



najczęściej wykorzystuje się układy uprzednio rozważanych przerzutników monostabilnych. Przy odpowiednim łączeniu dwu przerzutników monostabilnych należy zwrócić dużą uwagę na zagadnienie automatycznego startu układu do generacji (samowytworzenie drgań) oraz pewność generacji.

Przykład bardzo prostego układu przerzutnika astabilnego przedstawiono na rys. 3.66. Układ ten w zasadzie składa się z dwu zmodyfikowanych przerzutników monostabilnych z rys. 3.58. Wartość rezystancji  $R$  jest ograniczoną od góry ze względu na maksymalną wartość prądu wejściowego bramki w stanie "0". Z chwilą włączenia napięcia zasilania potencjał na wejściach bramek rośnie od poziomu "0" do "1". W praktyce wejście jednej z bramek osiąga wcześniej stan odpowiadający "1" i na wyjściu tej bramki występuje "0", które zostaje przeniesione do wejścia drugiej bramki. Następuje ładowanie kondensatora  $C$ , dołączonego do wejścia tej drugiej bramki przez rezystancję  $R$  i dalsze procesy można łatwo określić wykorzystując informacje opisane przy rozważaniu przerzutników monostabilnych.

Przykład zastosowania dwu przerzutników monostabilnych z rys. 3.64 (lub rys. 3.65) został przedstawiony na rys. 3.67. Zagadnienie automatycznego startu do generacji zapewnia się tu automatycznie. Kiedy napięcie zasilania zostaje załączone, potencjały na bazach tranzystorów układów czasowych rosną, a więc potencjały na kolektorach tych tranzystorów maleją i po pewnym krótkim czasie od chwili włączenia osiągają stany "0". Oba prze-

przetniki monostabilne wytwarzają impulsy wyjściowe. Ponieważ w praktyce jeden z multiwibratorów wytwarza impuls wyjściowy o czasie trwania większym od drugiego, w dalszym więc cyklu pracy występuje normalne przełączenie jednego przerzutnika przez drugi.

Układy generatorów impulsów prostokątnych o zmiennej częstotliwości powtarzania impulsów i zmiennym czasie trwania impulsów realizuje się zwykle, stosując zasadę przedstawioną na rys. 3.68. Przerzutnik astabilny określa częstotliwość powtarzania impulsów wyjściowych, przerzutnik zaś monostabilny czas trwania impulsów wyjściowych.

### 3.8. Niektóre zagadnienia eksploatacyjne

Obecnie układy scalone są produkowane w trzech typach obudów: obudowie typu TO, obudowie płaskiej oraz obudowie DIP (rys. 3.69). Pierwsze układy scalone były umieszczone w obudowach typu TO-5 o 10 wyprowadzeniach, będących adaptacją klasycznych obudów tranzystorowych do układów scalonych. Obudowy te cechuje bardzo duży stopień odporności na wpływy zewnętrzne oraz duży współczynnik odprowadzania ciepła. Promienisty układ wyprowadzeń utrudnia jednak mocowanie tych układów na płytkach drukowanych.

Obudowy płaskie (Flat package) mają najczęściej 14 wyprowadzeń umieszczonych w płaszczyźnie mikroukładu. Wykonywane są przeważnie z ceramiki i cechują się najmniejszymi wymiarami spośród innych typów obudów.

Obudowy typu DIP wykonywane są z ceramiki lub plastyku i mają najczęściej 14 lub 16 końcówek. Ceramiczne obudowy typu DIP zapewniają pełną hermetyzację, natomiast obudowy plastikowe charakteryzuje niski koszt wytwarzania. Technologia montażu układów scalonych oparta jest na zastosowaniu wielowarstwowych płytek foliowanych z metalizowanymi otworami. Jeśli w zaprojektowanym układzie rezygnuje się z grupy wejść bramkowych, to zaleca się te nie wykorzystane wejścia dołączyć do napięcia źródła zasilania. Jak wskazuje praktyka, pozwala to na pełne wykorzystanie szybkości działania układu bramki. W przypadku pozostawienia nie wykorzystanego wejścia w stanie otwarcia, pojemność tego wejścia powoduje zmniejszenie szybkości pracy bramki.

#### 4. STAN OBECNY ORAZ PERSPEKTYWY ZASTOSOWANIA UKŁADÓW SCALONYCH W TELEKOMUNIKACJI

Jedną z podstawowych korzyści wynikających z zastosowania układów scalonych jest zwiększenie niezawodności w porównaniu z układami konwencjonalnymi, uzyskiwane dzięki następującym przyczynom: zmniejszeniu liczby połączeń międzyelementowych, łatwości likwidowania wpływów atmosferycznych, redukcji kolejnych operacji technologicznych, umożliwieniu stosowania precyzyjnej kontroli technicznej w czasie produkcji, zmniejszeniu wymiarów i ciężaru elementów.

W przypadku urządzeń telekomunikacyjnych, wymagających bardzo wielkiej niezawodności, na przykład urzą-

dzeń zatapianych w morzu lub wysyłanych w kosmos, urządzeń zawierających wielką liczbę podzespołów i elementów, cecha niezawodności ma szczególne znaczenie i jest ważniejsza nawet od redukcji wymiarów i zmniejszenia pobieranej mocy.

W takich przypadkach aspekt niezawodności urządzeń w decydujący sposób przemawia za wprowadzeniem urządzeń opartych na zastosowaniu układów scalonych; tak jest w przypadku telekomunikacji.

W istocie bowiem niezawodność urządzeń budowanych w oparciu o układy scalone jest kilka, a nawet kilkadziesiąt razy wyższa od niezawodności urządzeń budowanych na elementach dyskretnych.

Dzięki stałym postępom technologii wykonywania układów scalonych niezawodność tych układów stale ulega wzrostowi i przykładowo w latach 1962-1968 intensywność uszkodzeń w scalonych układach półprzewodnikowych zmalała z 1% do 0,002% na tysiąc godzin pracy.

Złożony charakter urządzeń telekomunikacyjnych oraz wysokie wymagania stawiane tym urządzeniom pod względem parametrów i żądanych charakterystyk technicznych powodują, że po dzień dzisiejszy wykorzystanie układów scalonych w tej dziedzinie jest jeszcze stosunkowo małe.

Dotychczas eksploatowane urządzenia reprezentują duży zainwestowany kapitał, w związku z czym występuje konieczność projektowania nowej aparatury pod kątem widzenia jej współdziałania z dotychczas eksploatowanym sprzętem. Biorąc pod uwagę, że przeciętna trwałość urządzeń telekomunikacyjnych przekracza 20 lat i ponad-

to, że nowo wprowadzane do eksploatacji urządzenia pod względem kosztów muszą konkutować z urządzeniami aktualnie eksploatowanymi, widzimy, że decyzję dotyczącą wprowadzenia nowej techniki nie łatwo jest powziąć.

W ciągu ostatnich dziesiątków lat świat wkroczył w wiek elektroniki, tak jak przed stu pięćdziesięciu laty wkraczał w wiek pary, a przed pięćdziesięciu w wiek elektryczności. W tym okresie elektronika zaatakowała środki łączności, najpierw teletransmisję, a następnie telekomutację. Atak elektroniki na komutację nie od razu jednak był skuteczny. W istocie, w komutacji dotyczącej przesyłanych sygnałów analogowych atak elektroniki załamał się, a przyczyną tego był osiągany zbyt mały stosunek rezystancji zaporowych do rezystancji przewodzenia w elektronicznych elementach łączenia ( $10^5 + 10^7$  wobec  $10^{10} + 10^{11}$  dla kontaktów stykowych).

W konsekwencji transmisja sygnałów analogowych w telefonii naturalnej i nośnej była obciążona nadmiernym przesłuchem i tłumiennością wtrącania. Z konieczności zatem odstąpiono od idei pełnoelektronicznej komutacji i ograniczono się do elektronicznego sterowania, zachowując metaliczne kontakty stykowe.

Sytuacja ulega całkowitej zmianie z chwilą opracowania systemu opartego na impulsowej modulacji kodowej (PCM).

Działanie takiego systemu polega na zwielokrotnianiu przy zastosowaniu podziału czasowego i na zamianie amplitudy sygnału rozmowy drogą kwantyzacji na impulsy cyfrowe w kodzie binarnym i na przesyłaniu impulsów kodo-

wanych torem. Zamiast wzmacniaków o liniowych charakterystykach stosowane są w systemie PCM regeneratory impulsów. Te właściwości systemu PCM umożliwiły powstanie koncepcji tzw. telefonicznych sieci zintegrowanych, które w sposób ekonomiczny realizowałyby w technice cyfrowej łączne zadania teletransmisji i telekomutacji (integracja I stopnia). Potrzebne do tego celu urządzenia opierają się na układach logicznych i przerzutnikowych, realizowanych w miarę możliwości w postaci scalonej.

Ponieważ elektroniczne sieci zintegrowane stanowią już podstawowy kierunek rozwoju w takich krajach, jak USA, Anglia, Francja i Japonia, wydaje się, że cyfrowym układom scalonym należy wróżyć w tej dziedzinie szczególną rolę. W niektórych krajach prowadzone są prace nad systemami PCM o krotności 120, 240, a nawet o krotności 700, co pozwala przypuszczać, że zapotrzebowanie na cyfrowe układy scalone będzie jeszcze się zwiększać.

Jeszcze większe zapotrzebowanie na scalone układy cyfrowe wynikałoby z zarysowującej się obecnie koncepcji integracji II stopnia, obejmującej teletransmisję i telekomutację wszystkich środków łączności jednocześnie, a więc telefonii, telegrafii, transmisji danych, radiofonii przewodowej, telewizji itd.

Obecnie na rynkach światowych są dostępne cyfrowe bipolarne układy scalone o różnych stopniach scalania o szerokim wachlarzu układów, z graniczną szybkością przełączania rzędu 100 MHz, oraz scalone monopolarne układy cyfrowe MOSTL, o granicznej gęstości scalenia rzędu 1000 bramek w jednym module i o szybkości granicznej rzę-

du 10 MHz. Obok wymienionych układów, na rynkach światowych są dostępne scalone układy liniowe, których najpopularniejszym reprezentantem jest wzmacniacz operacyjny, wykonywany najczęściej w technice półprzewodnikowej. Ich ceny ulegają z czasem obniżce i obecnie są już wspólnierne z cenami układów o elementach dyskretnych.

Transmisja telefoniczna przy zwielokrotnieniu częstotliwościowym (FDM) była dotychczas przeważnie "analogowa", przy zastosowaniu urządzeń elektronicznych, składających się z klasycznych układów wzmacniaczy o precyzyjnych charakterystykach częstotliwościowych i amplitudowych, bardzo stabilnych częstotliwościowo generatorów i stabilnych układów filtrów. Taki system zwielokrotniania stosowany jest nadal w urządzeniach telefonii wielokrotnej w kablach dalekosiężnych i w systemach linii radiowych mikrofalowych. Dotychczas na tym polu występuje jeszcze małe rozpowszechnienie monolitycznych półprzewodnikowych hybrydowych układów scalonych. Filtry aktywne (z zastosowaniem wzmacniaczy operacyjnych) zamiast klasycznych filtrów LC oraz monolityczne półprzewodnikowe wzmacniacze zamiast wzmacniaczy klasycznych są już realizowane, ale dotychczas pod względem cen nie mogą jeszcze konkurować z układami istniejącej techniki.

Obecne metody projektowania urządzeń telekomunikacyjnych zmierzają do takich rozwiązań, aby stosunkowo duże zmiany parametrów poszczególnych części składowych układu nie powodowały zmian parametrów całości urządzeń. Takim typowym przykładem układów, w których duże zmiany parametrów elementów nie wpływają na parametry zewnętrz-

ne układu są właśnie cyfrowe układy scalone. Przy projektowaniu nowych urządzeń dąży się do modyfikacji, a nawet do całkowitej zmiany klasycznych rozwiązań projektowanych urządzeń telekomunikacyjnych, by w szerokim stopniu można było wprowadzić układy scalone, zwłaszcza układy scalone cyfrowe. Tak więc technika układów scalonych narzuca wymagania nie tylko odnośnie procesów technologicznych, ale również odnośnie nowych metod opracowywania systemów telekomunikacyjnych.

Współczesne urządzenia telekomunikacyjne FDM mogą być budowane całkowicie z układów scalonych, wykorzystując wielofazowe układy zwielokrotniania częstotliwościowego. W tych układach zwielokrotniania filtry kanałowe mogą być transponowane do zakresu wyższych częstotliwości drogą tzw. techniki półcyfrowej (układy cyfrowe w połączeniu z układami liniowymi).

Można przewidywać, że w najbliższej przyszłości nastąpi wzrost wykorzystania filtrów cyfrowych, wymagających dużych ilości układów logicznych. Na tym polu mogą znaleźć szerokie zastosowanie monopolarne układy scalone typu MOSTL.

W zakresie urządzeń wielokrotnych o impulsowej modulacji kodowej (PCM), w cyfrowych "przekrojach" urządzeń końcowych, monolityczne półprzewodnikowe układy bipolarne są już szeroko stosowane. Wraz ze wzrostem wykorzystania cyfrowych układów scalonych należy się spodziewać wzrostu krotności tych urządzeń. Uzyskuje się w efekcie końcowym zmniejszenie ceny urządzeń PCM. Do urządzeń PCM mogą być już wykorzystywane cyfrowe układy sca-



lone LSJ, lecz ekonomiczność takiego ich zastosowania jest jeszcze nadal wątpliwa.

W perspektywie jednak należy się spodziewać, że filtry cyfrowe z zastosowaniem układów MOSTL oraz moduły LSJ znajdują zastosowanie do urządzeń PCM. Centrale telefoniczne sterowane elektronicznie oraz aparatura abonencka będą stanowiły w przyszłości duży rynek zbytu dla monolitycznych układów scalonych. W dziedzinie komutacji elektronicznej nowe projekty muszą być tak opracowywane, by były dostosowane do obecnie pracujących urządzeń telekomunikacyjnych. W związku z tym, opracowanie nowych systemów telekomunikacyjnych wymaga dłuższego okresu czasu. Centrale sterowane przy zastosowaniu pamięci elektronicznych opierają się na zastosowaniu komputerów i są już obecnie wykorzystywane w USA i Europie. Układy scalone MOSTL LSI będą w tym zakresie stosowane bardzo szeroko.

Urządzenia transmisji danych wykorzystują obecnie standardowe monolityczne układy półprzewodnikowe, wydaje się jednak, że w przyszłości z powodzeniem będą korzystały z modułów LSI, z zastosowaniem elementów MOS. Większość peryferyjnych i końcowych urządzeń transmisji danych (np. dalekopisy) wykorzystuje już scalone układy cyfrowe.

Ostatnio układy scalone znajdują również zastosowanie w abonenckich aparatach telefonicznych dla zastąpienia wybierczego impulsowania tarczą, wieloczęstotliwościowymi kombinacjami kodowymi, wybieranymi za pomocą klawiatury. Potrzebne do realizacji tego zadania generatory i nie-

zbędne układy pamięciowe są tworzone na jednej płytce krzemowej i zajmują tak mało miejsca, że całkowite wymiary aparatu telefonicznego pozostają bez zmian.

Wprowadzenie sieci transmisji danych, zwiększone zapotrzebowanie na urządzenia PCM oraz półcyfrowe urządzenia FDM spowodują w najbliższej przyszłości zwiększone zapotrzebowanie na cyfrowe układy scalone.

Cyfrowe układy scalone znajdują już szerokie zastosowanie w urządzeniach do automatycznych badań i kontroli łączy telekomunikacyjnych, w urządzeniach nadzoru stanu łączy telekomunikacyjnych oraz telekomunikacyjnej aparaturze pomiarowo-kontrolnej.

W zakresie systemów mikrofalowych, ponieważ koszt wprowadzenia układów scalonych jest duży, stosowane są one tylko w urządzeniach do celów specjalnych (np. wojskowych). W urządzeniach łączności satelitarnej i w urządzeniach wojskowych sieci mikrofalowych układy scalone mają i będą mieć bardzo szerokie zastosowanie.

Wzrost wykorzystania układów scalonych przez przemysł telekomunikacyjny można przewidywać w dalszych latach obecnej dekady.

Mimo optymistycznych opinii o cyfrowych układach scalonych i mimo ich bezsprzecznych zalet, jakimi są szybkość działania i niezawodność pracy, nie od rzeczy będzie przytoczyć wyniki porównania pracy układów scalonych z pracą przekaźników magnetycznych, w przypadku gdy chodzi o pewność pracy w obecności silnych zakłóceń.

Przy wyborze rodzaju techniki, w której mają być realizowane nowe urządzenia, należy rozpatrzyć szereg czyn-

ników, z których najważniejsze to cena, czas przestoju awaryjnego, wpływ zakłóceń oraz walory eksploatacyjne.

Cyfrowe układy scalone dotychczas były produkowane głównie z przeznaczeniem do maszyn matematycznych, gdyż ta właśnie dziedzina stanowi największego odbiorcę tych układów. W urządzeniach telekomunikacyjnych przy przeprowadzeniu adaptacji tych układów do nowych zadań zachodzi konieczność zachowania ostrożności.

Cena obecną cyfrowych układów scalonych SSI i MSI jest już konkurencyjną w stosunku do ceny cyfrowych układów dyskretnych.

Na wielkość czasu przestoju urządzeń składa się szereg czynników takich, jak niezawodność układów wchodzących do urządzeń, jakość połączeń lutowanych, niezawodność łączówek, sprawność personelu eksploatacji itp. Można stwierdzić, że niezawodność układów scalonych jest dużo większa od niezawodności układów zbudowanych na elementach dyskretnych, ale ta nie decyduje jeszcze o przestojach urządzenia. O tym decydują kwalifikacje personelu eksploatacji oraz wyposażenie urządzeń w niezbędne zespoły rezerwowe.

Bardzo istotnym zagadnieniem przy zastosowaniu nowych układów w urządzeniach, w których wystąpią zakłócenia (np. w centralach telefonicznych typu Strowgera) jest zagadnienie podatności na zakłócenia. Na przykład przy przejściu z techniki przekaźnikowej do techniki układów scalonych powinna być szczególnie uważnie przeanalizowana możliwość oddziaływania zakłóceń na pracę urządzenia. Jak wiadomo, bardzo ważną zaletą techniki przekaźnikowej jest

duża odporność na zakłócenia. Dzięki temu zakłócenia o amplitudzie rzędu kilku woltów i czasach trwania rzędu kilku dziesiętnych ms nie naruszają poprawnej pracy pracowników z racji ich bezwładności. Natomiast w układach scalonych, wobec dużej szybkości pracy tych układów, zakłócenia o amplitudzie rzędu 0,9 V /w rodzinie TTL/ i o czasie trwania rzędu kilku lub kilkadziesiątu ns, mogą już powodować błędne działanie urządzenia. Zakłócenia te, jak już wcześniej w artykule stwierdzono, mogą być przenoszone wskutek istnienia szkodliwych sprzężeń między przewodami i ścieżkami na płytkach drukowanych, przez oddziaływanie wspólnych źródeł zasilania przy istnieniu zewnętrznych źródeł zakłócających itp. Zastosowanie układów scalonych w urządzeniach telekomunikacyjnych wymaga więc niejednokrotnie ekranowania płytek i doprowadzeń, unikania równoległości przewodów lub ścieżek na płytkach drukowanych.

Często konieczne staje się stosowanie układów scalonych typu DTZL na wszystkich wejściach sterowanych (zakłócanych) dodatkowych układów, składających się z filtrów dolnoprzepustowych RC i w przewodach zasilania. Oczywiście te wszystkie zabiegi, mające na celu uwolnienie się od przebiegów niestabilnych, występujących na skutek sprzężeń i zakłóceń zewnętrznych, wiążą się z dodatkowymi kosztami, co należy uwzględnić przy projektowaniu urządzeń w nowej technice.

Względy eksploatacyjne urządzeń wykonanych w nowej technice wymagają przeszkolenia personelu obsługującego, co nie zawsze jest proste. Nieznajomość nowych układów,

z których wykonane jest urządzenie, może doprowadzić do dłuższych przestojów w pracy urządzenia i pośrednio zwiększać koszty utrzymania urządzeń.

W nowej technice występuje konieczność wyposażenia personelu eksploatacyjnego w odpowiednią aparaturę kontrolno-pomiarową, służącą do szybkiego usuwania usterek pracy.

Tak więc jeszcze raz należy podkreślić, że wybór rodzaju techniki realizowanych urządzeń telekomunikacyjnych stanowi zadanie trudne i wymagające wielostronnej znajomości przedmiotu. Tu zdołano wymienić zaledwie kilka najważniejszych czynników, które powinny być rozważone przy wprowadzaniu do urządzeń telekomunikacyjnych cyfrowych układów scalonych.

Wprowadzanie wielkiej skali scalania LSI pozwala na dalszy wzrost niezawodności, zmniejszenie kosztów wytwarzania poszczególnych układów (oczywiście przy odpowiednio wielkiej serii produkcyjnej) oraz przyczyni się do dalszej mikrominiaturyzacji. Scalanie wielkoskalowe LSI jest szczególnie korzystne przy projektowaniu urządzeń o bardzo dużych szybkościach pracy.

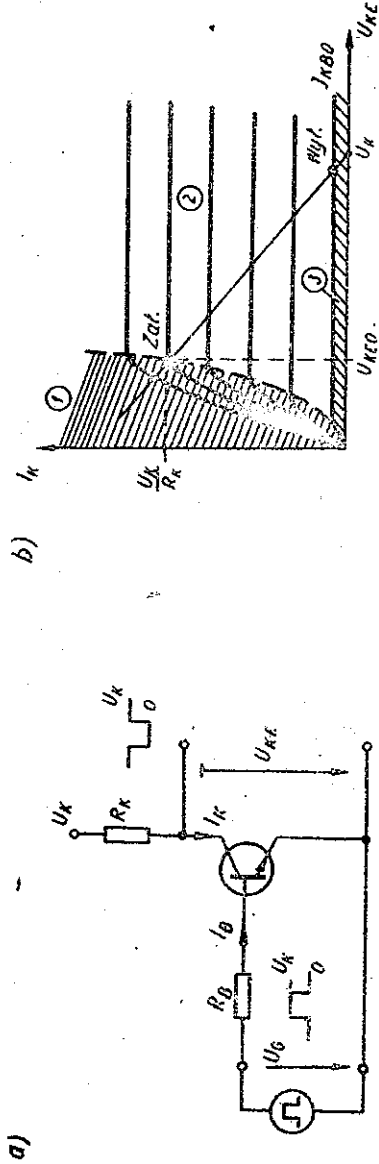
Przed zakończeniem produkcji moduł musi być poddany specjalnym szczegółowym badaniom. Ewentualne błędy produkcyjne w układach o wielkiej skali scalania zmniejszają maksymalną liczbę możliwych do wykorzystania układów w module.

W technice LSI wykorzystywane są zarówno układy bipolarne typu ECL, TTL, DTL, jak i układy typu MOS, które szczególnie dobrze nadają się do tego celu. Przy projek-

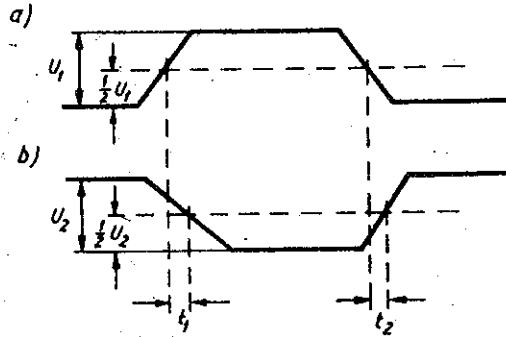
towaniu rozmieszczenia pojedynczych bramek, sporządzania maskujących profili oraz przy kierowaniu produkcją i przy sprawdzaniu prawidłowości działania układów LSI wykorzystuje się maszyny matematyczne.

Przy wyborze technologii układów scalonych obecnie dąży się do nadania jej takiej formy, by mogła przetrwać wszelkie czekające ją w przyszłości zmiany.

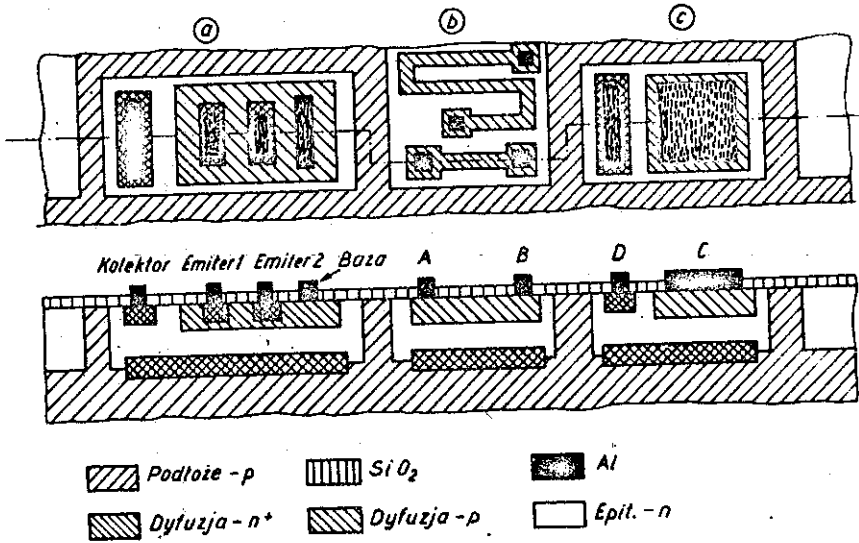
Obok dynamicznego rozwoju techniki układów scalonych prowadzone są badania nad układami, które nie mają odpowiedników w układach konwencjonalnych, a wykorzystujących takie zjawiska fizyczne, jak: zjawisko fotoelektroniczne, termoelektroniczne itp. Obszerna rodzina układów spełniająca żądane układowe funkcje elektroniczne przez bezpośrednie wykorzystanie zjawisk fizycznych, występujących w ciele stałym, określana jest mianem przyrządów funkcjonalnych. Racjonalnie zaprojektowane i właściwie wykonane przyrządy funkcjonalne pozwalają na znaczną redukcję liczby elementów, których szybki wzrost następuje wraz z rozwojem elektroniki i powstawaniem coraz bardziej złożonych systemów elektronicznych.



Rys. 1.1. Zasada pracy tranzystorowych układów przełączających: a/ podstawowy układ pracy tranzystora, b/ charakterystyka pracy tranzystora

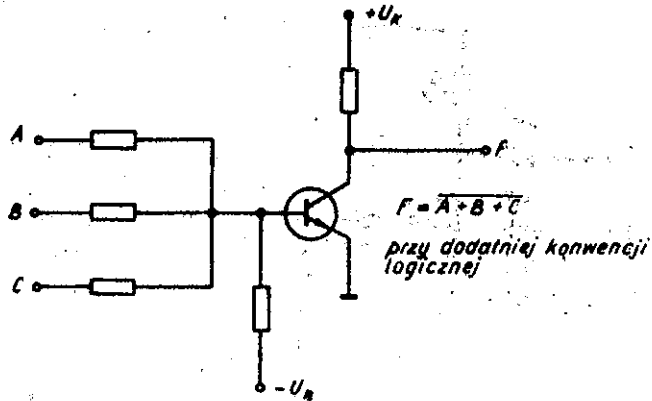


Rys. 1.2. Określanie średniego czasu opóźnienia układów logicznych: a/ przebieg napięcia wejściowego, b/ przebieg napięcia wyjściowego

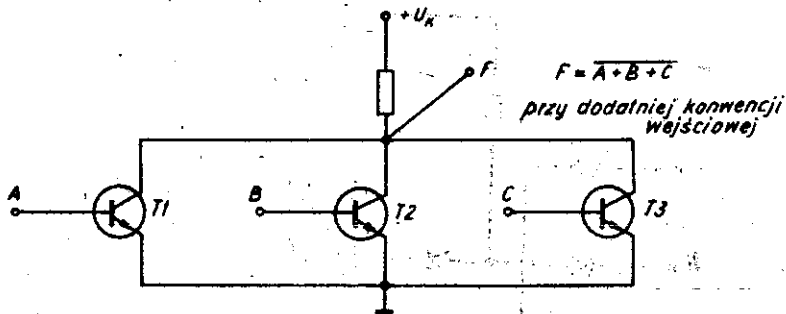


Rys. 1.3. Sposób wytworzenia w technice układów scalonych: a/ tranzystora n-p-n - obszar funkcjonalny (a), b/ rezystancji - obszar funkcjonalny (b), c/ pojemności - obszar funkcjonalny (c)

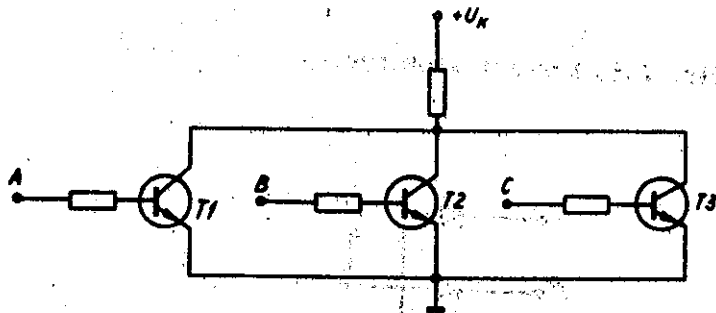




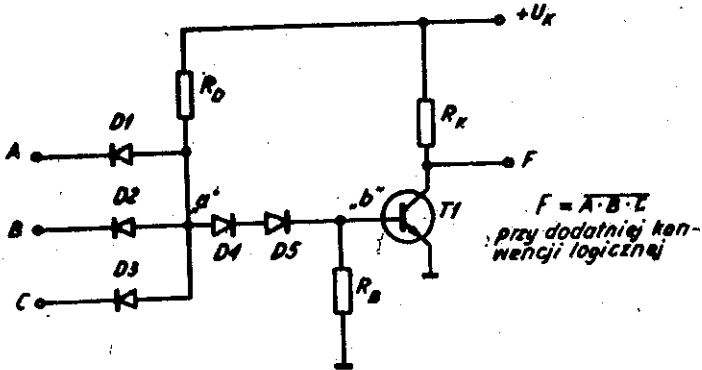
Rys. 2.1. Schemat elektryczny układu podstawowej bramki rodziny RTL



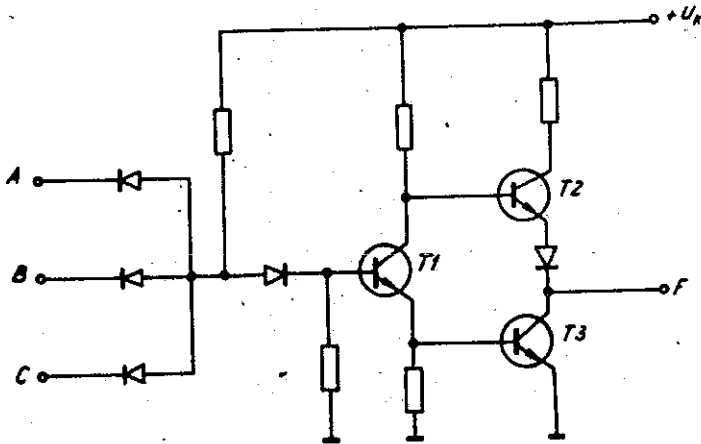
Rys. 2.2. Schemat elektryczny układu podstawowej bramki rodziny DCTL



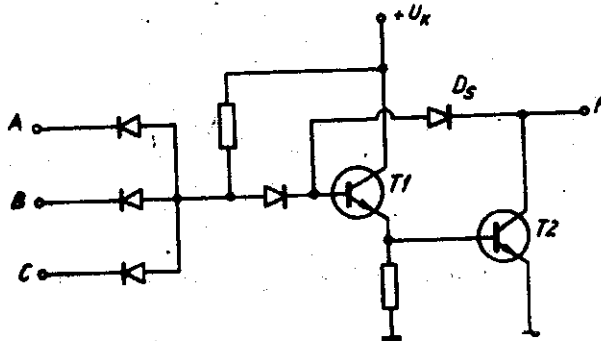
Rys. 2.3. Modyfikacja układu podstawowej bramki rodziny DCTL



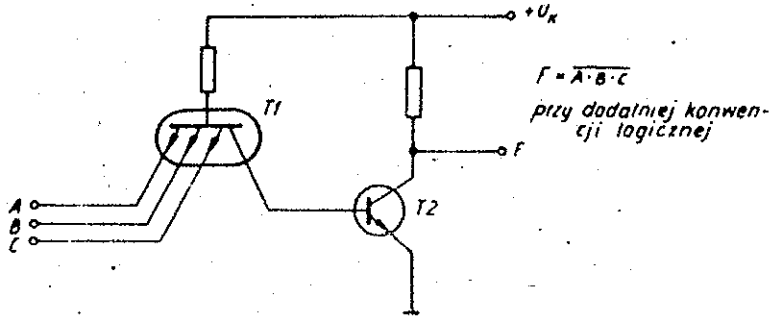
Rys. 2.4. Schemat elektryczny układu podstawowej bramki rodziny DTL



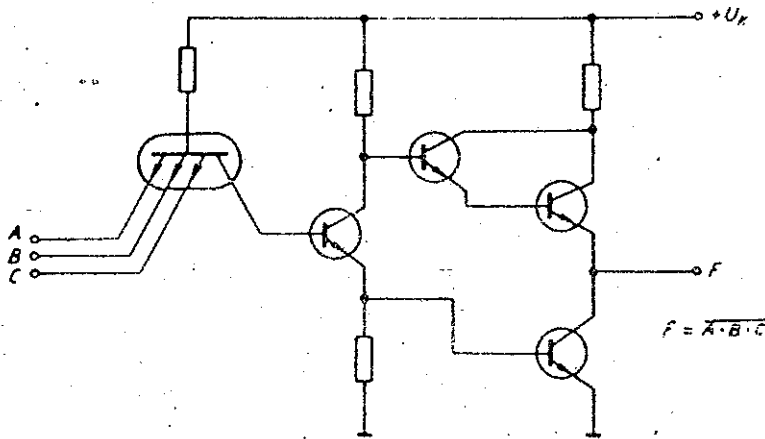
Rys. 2.5. Schemat elektryczny układu bramki rodziny HL DTL



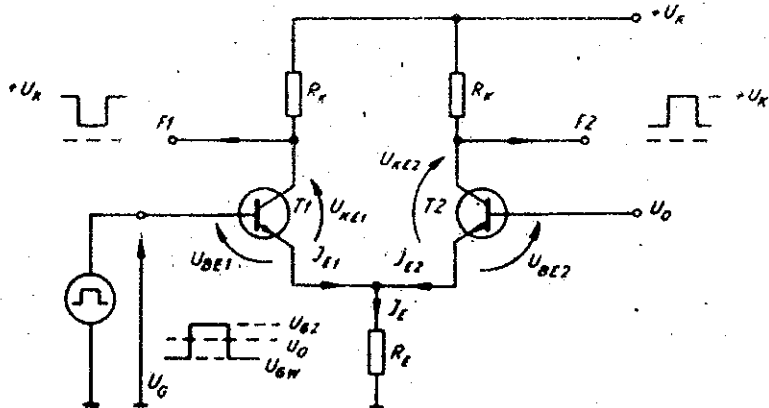
Rys. 2.6. Schemat elektryczny układu bramki rodziny LC DTL



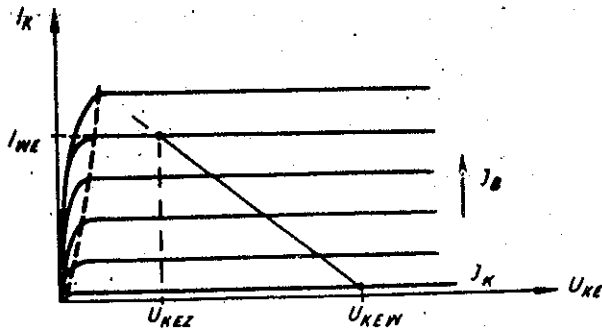
Rys. 2.7. Schemat elektryczny układu najprostszej bramki rodziny TTL



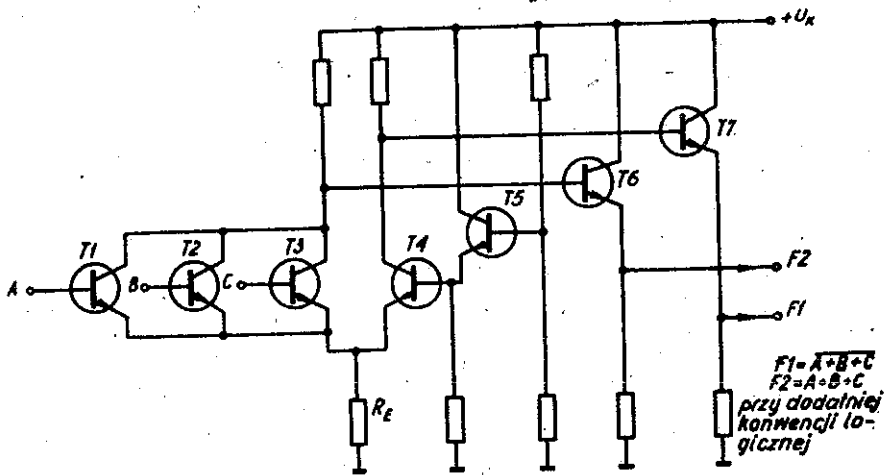
Rys. 2.8. Schemat elektryczny układu bramki rodziny TTL z tranzystorowym układem Darlingtona na wyjściu



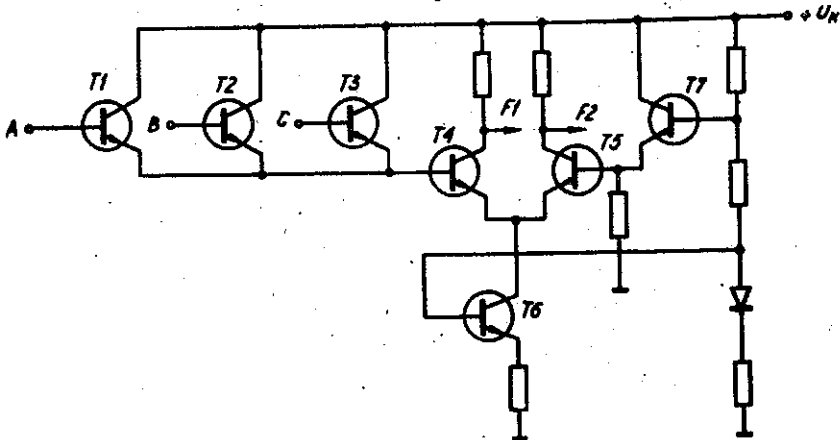
Rys. 2.9. Schemat elektryczny układu podstawowej bramki rodziny ECL



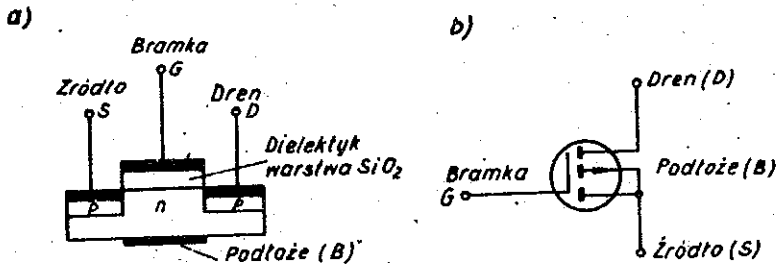
Rys. 2.10. Charakterystyka tranzystora, określająca pracę układu rodziny ECTL



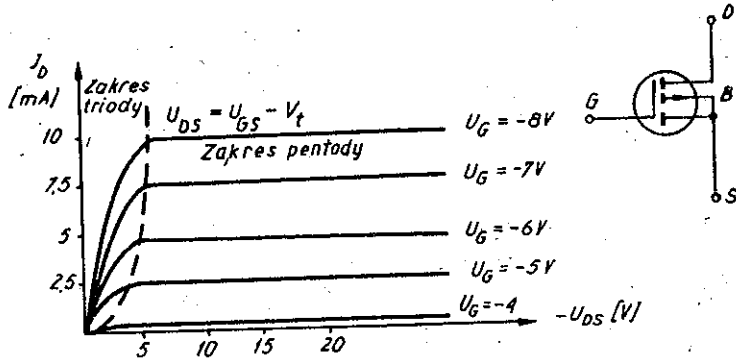
Rys. 2.11. Przykład realizacji technicznej układu bramki rodziny ECTL



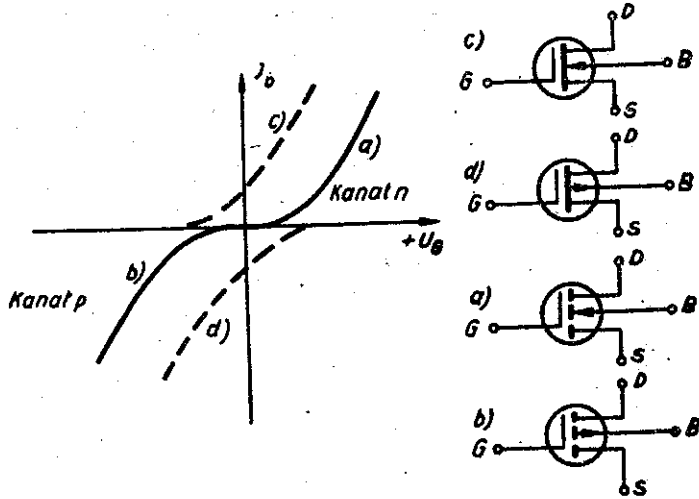
Rys. 2.12. Przykład zmodyfikowanego układu bramki rodziny ECTL - układ EECOL



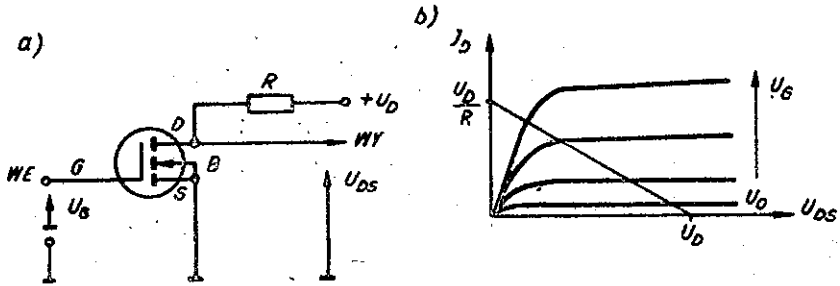
Rys. 2.13. Tranzystor polowy MOS FET z kanałem typu p, z podłożem połączonym ze źródłem: a/ schemat konstrukcyjny, b/ symbol



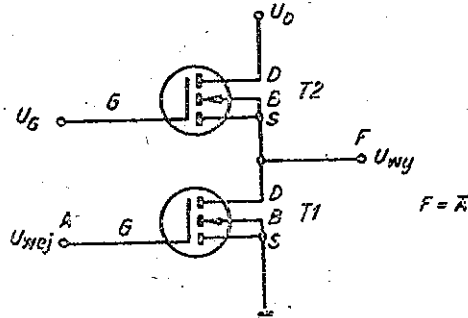
Rys. 2.14. Charakterystyka  $J_D = f/U_{DS}$  tranzystora MOS FET z kanałem typu p, dla różnych wartości  $U_{GS}$ , oraz symbol tranzystora



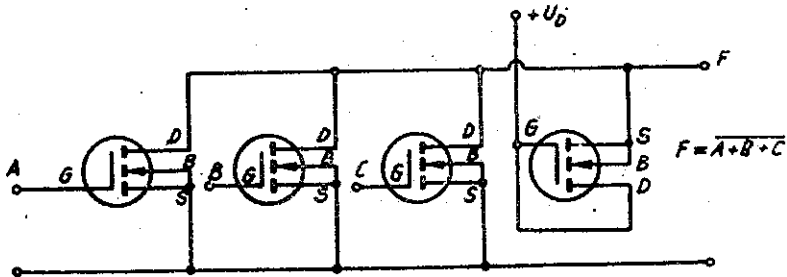
Rys. 2.15. Charakterystyki  $J_D = f/U_{GS}$  dla różnych typów tranzystorów MOS FET oraz ich symbole



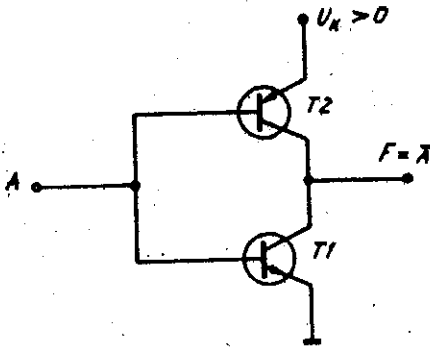
Rys. 2.16. Zastosowanie tranzystora MOS FET z wdyfundowanym kanałem typu n w układzie negacji: a/ schemat układu, b/ charakterystyka pracy



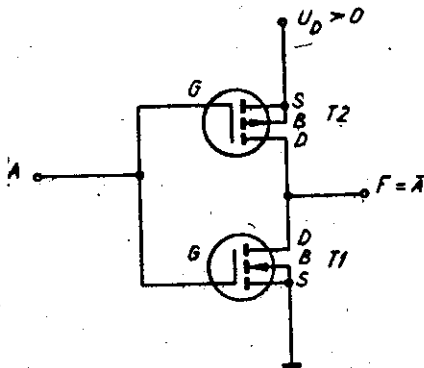
Rys. 2.17. Układ negacji MOS FET/T1/ z zastosowaniem drugiego tranzystora MOS FET/T2/ jako obciążenia



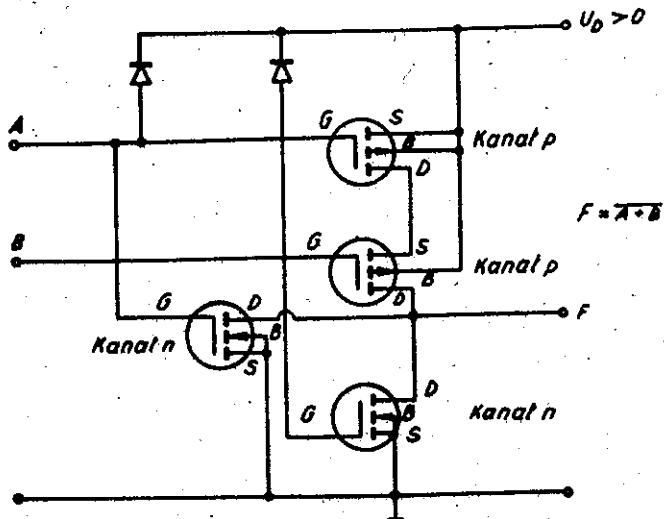
Rys. 2.18. Schemat elektryczny układu prostej bramki w technice rodziny MOS FETL



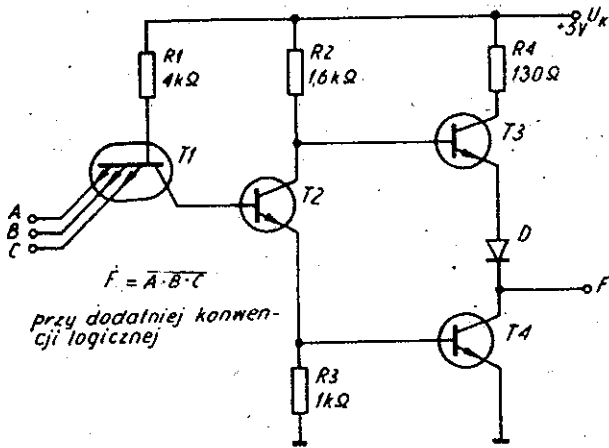
Rys. 2.19. Układ negacji srealizowany w technice rodziny OTL.



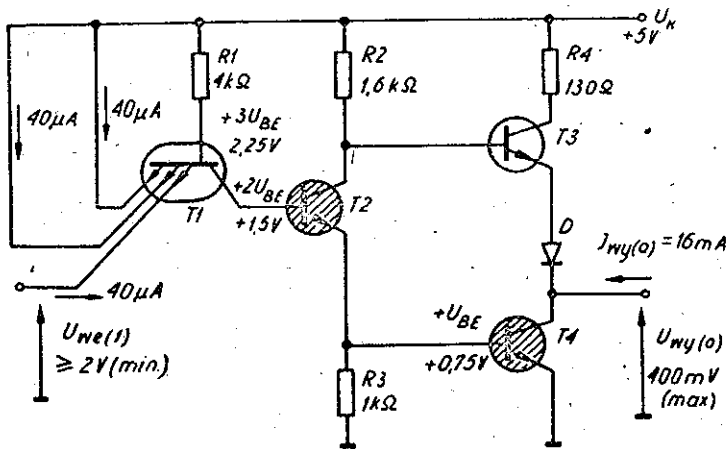
Rys. 2.20. Układ negacji srealizowany w technice COS MOS FETL.



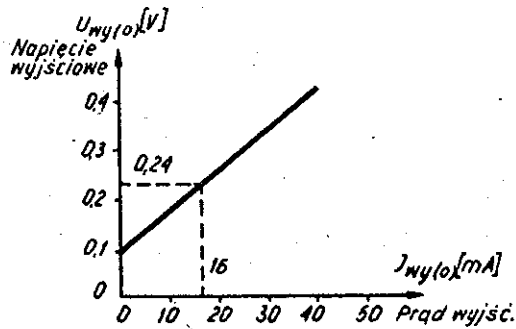
Rys. 2.21. Schemat układu bramki NOR, srealizowanej w technice COS MOS FETL.



Rys. 3.1. Schemat układu elektrycznego podstawowej bramki rodziny TTL

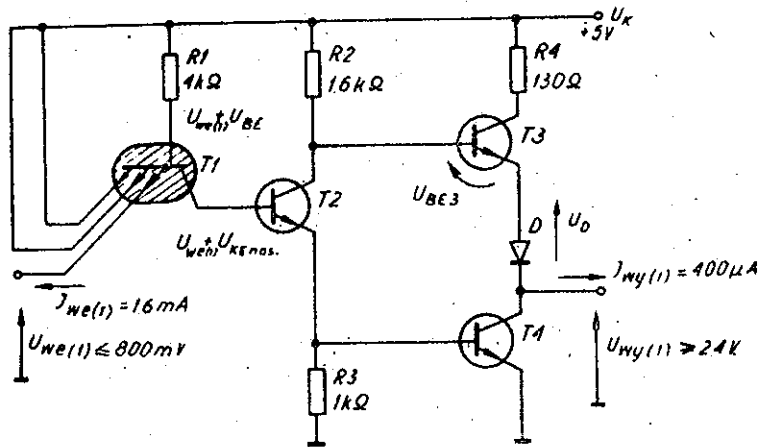


Rys. 3.2. Schemat układu bramki i rozkład napięć w poszczególnych punktach układu przy wyjściu bramki w stanie "0"

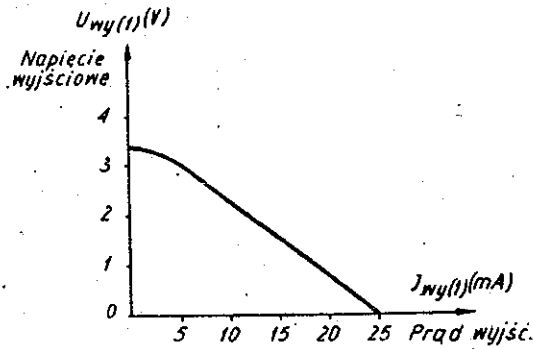


Rys. 3.3. Charakterystyka obciążenia wyjścia bramki przy założeniu "0" na wyjściu bramki

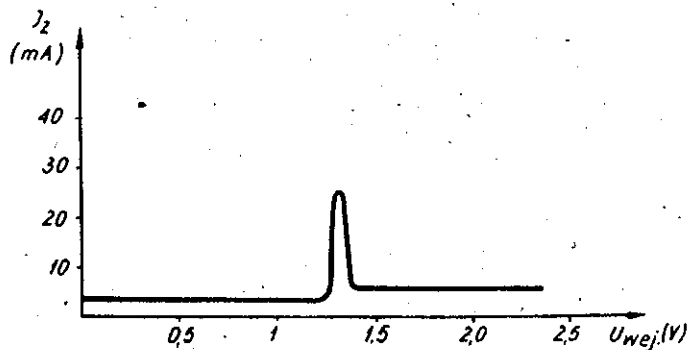




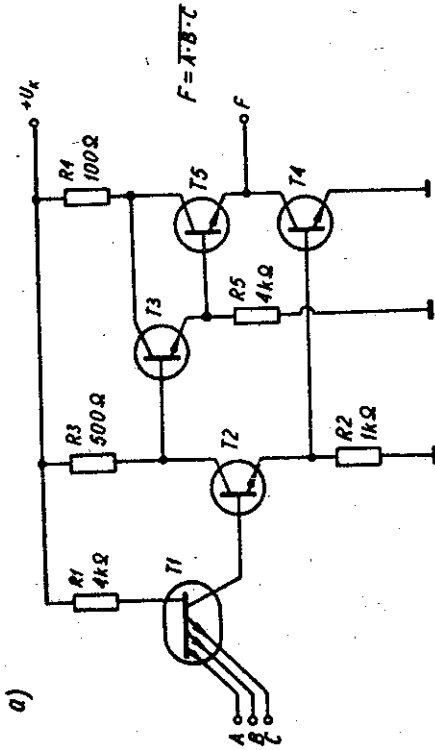
Rys. 3.4. Schemat elektryczny układu bramki i rozkład napięć w poszczególnych punktach układu przy wyjściu bramki w stanie "1"



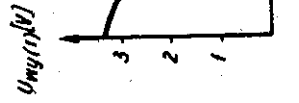
Rys. 3.5. Charakterystyka obciążenia wyjścia przy założeniu na wyjściu bramki "1"



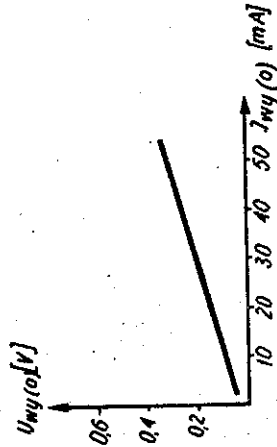
Rys. 3.7. Charakterystyka poboru prądu ze źródła zasilania bramki rodziny TTL



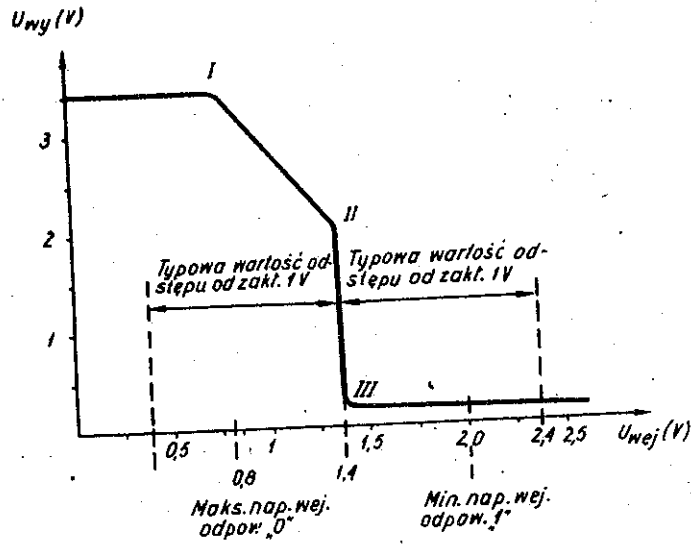
b)



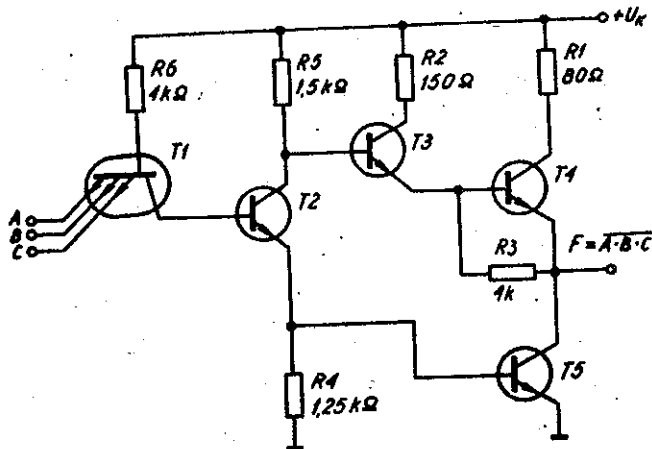
c)



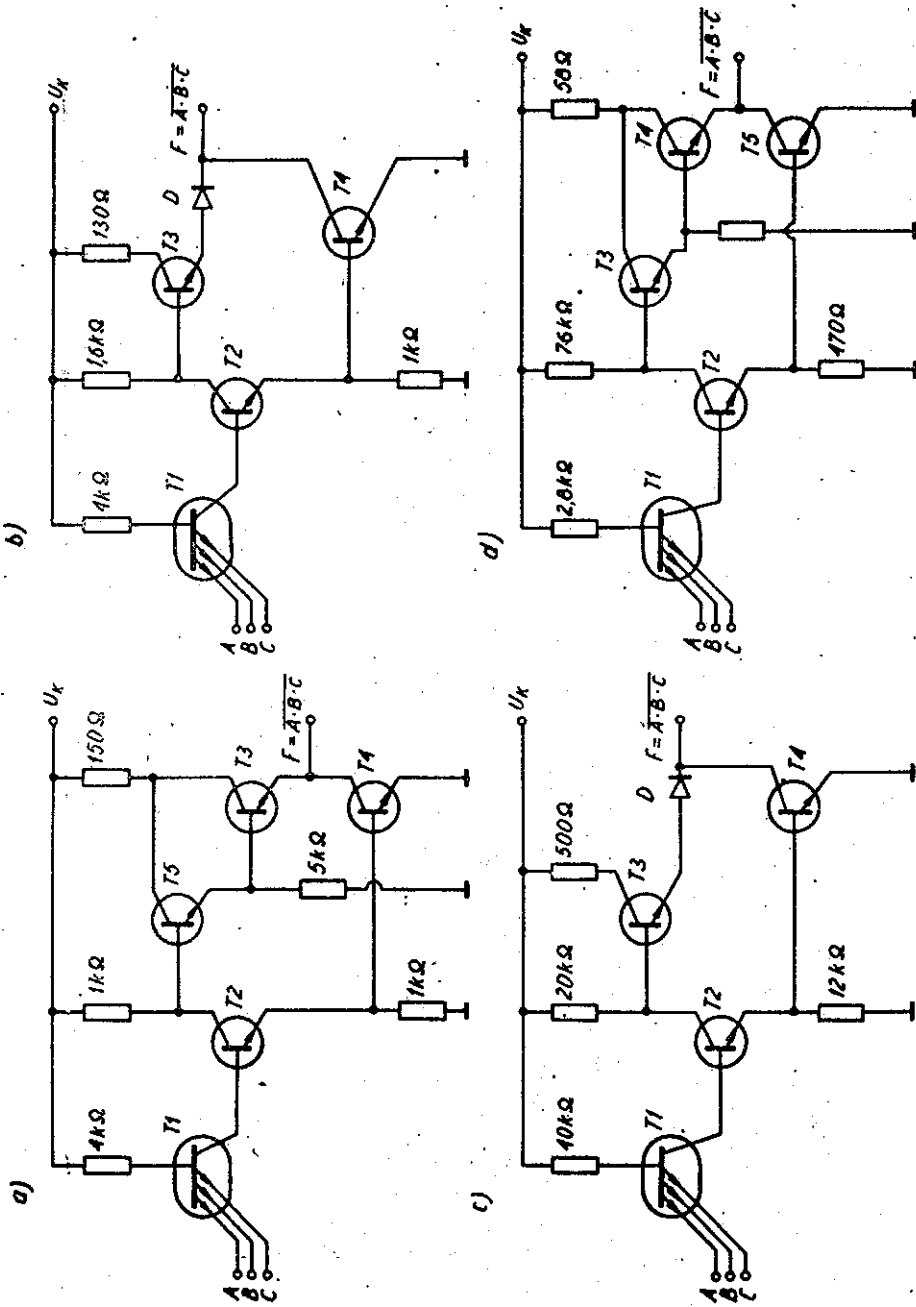
Rys. 3.6. Bramka mocy: a/ schemat elektryczny układu, b/ charakterystyka obciążenia przy "0" na wyjściu, c/ charakterystyka obciążenia przy "0" na wyjściu



Rys. 3.8. Charakterystyka przenoszenia bramki rodziny TTL



Rys. 3.11. Schemat bramki serii TL  $\mu L$  9000 firmy Fairchild i serii T 100 firmy SGS



Rys. 3.9. Schematy bramek produkcji firmy Texas Instruments: a/ pierwsza bramka rodziny TTL - bramka "Phoenix", b/ bramka serii 54/74, c/ wariant bramki serii 54/74 o małym poborze mocy - 54H/74L, d/ wariant bramki serii 54/74 o zwiększonej szybkości pracy - 54H/74H

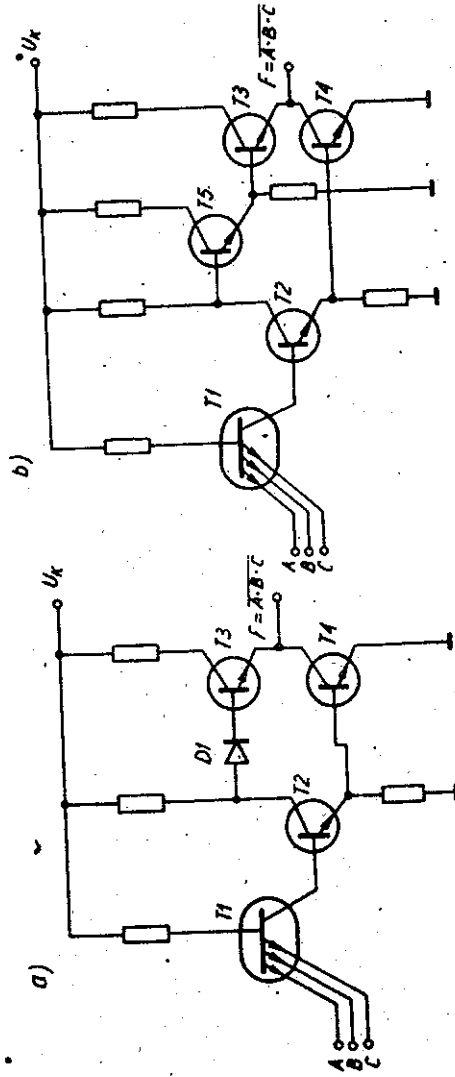
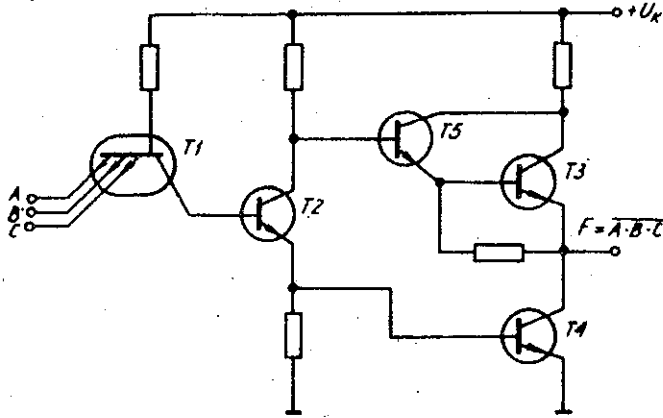
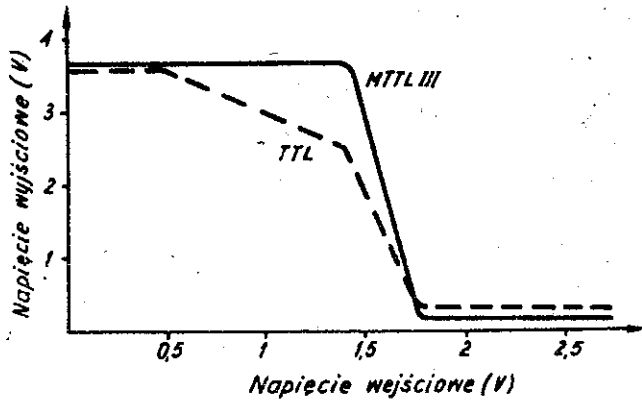


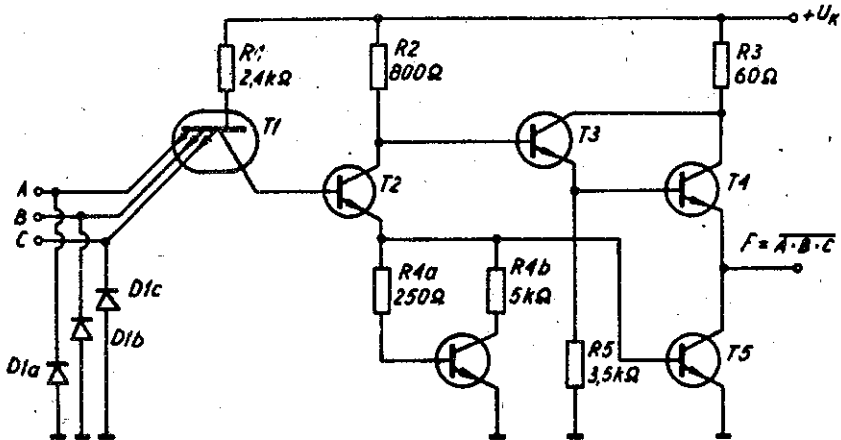
Рис. 7.10. Схематы брамок produkcji firmy Sylvania: a/ podstawowa bramka SUHL I,  
b/ bramka SUHL II



Rys. 3.12. Schemat bramki serii 800 firmy Signetics



Rys. 3.14. Charakterystyka przenoszenia bramki M TTL III i dla porównania charakterystyka typowej bramki rodziny TTL



Rys. 3.15. Schemat podstawowej bramki M TTL III firmy Motorola

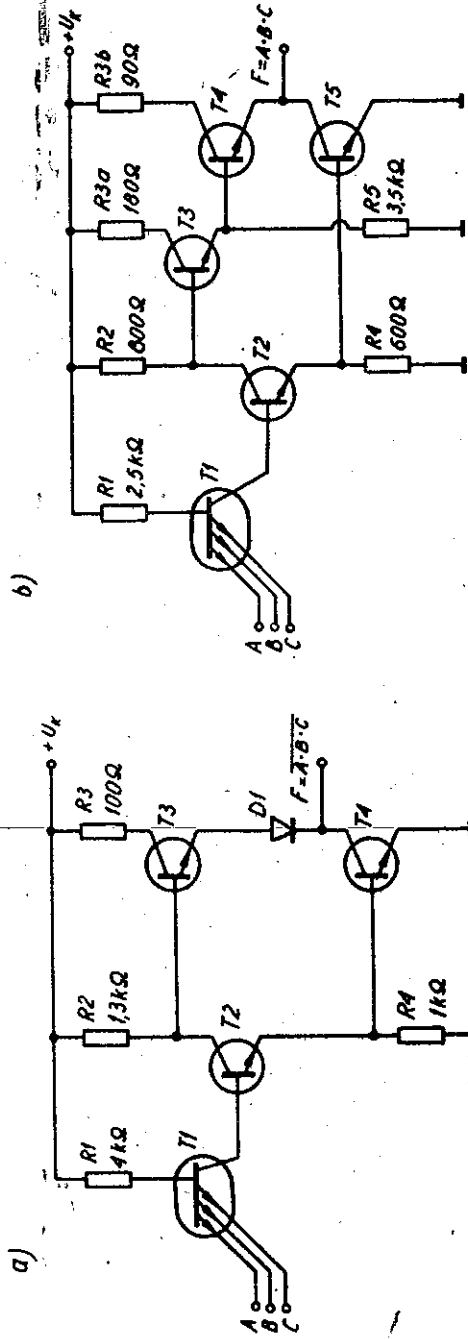
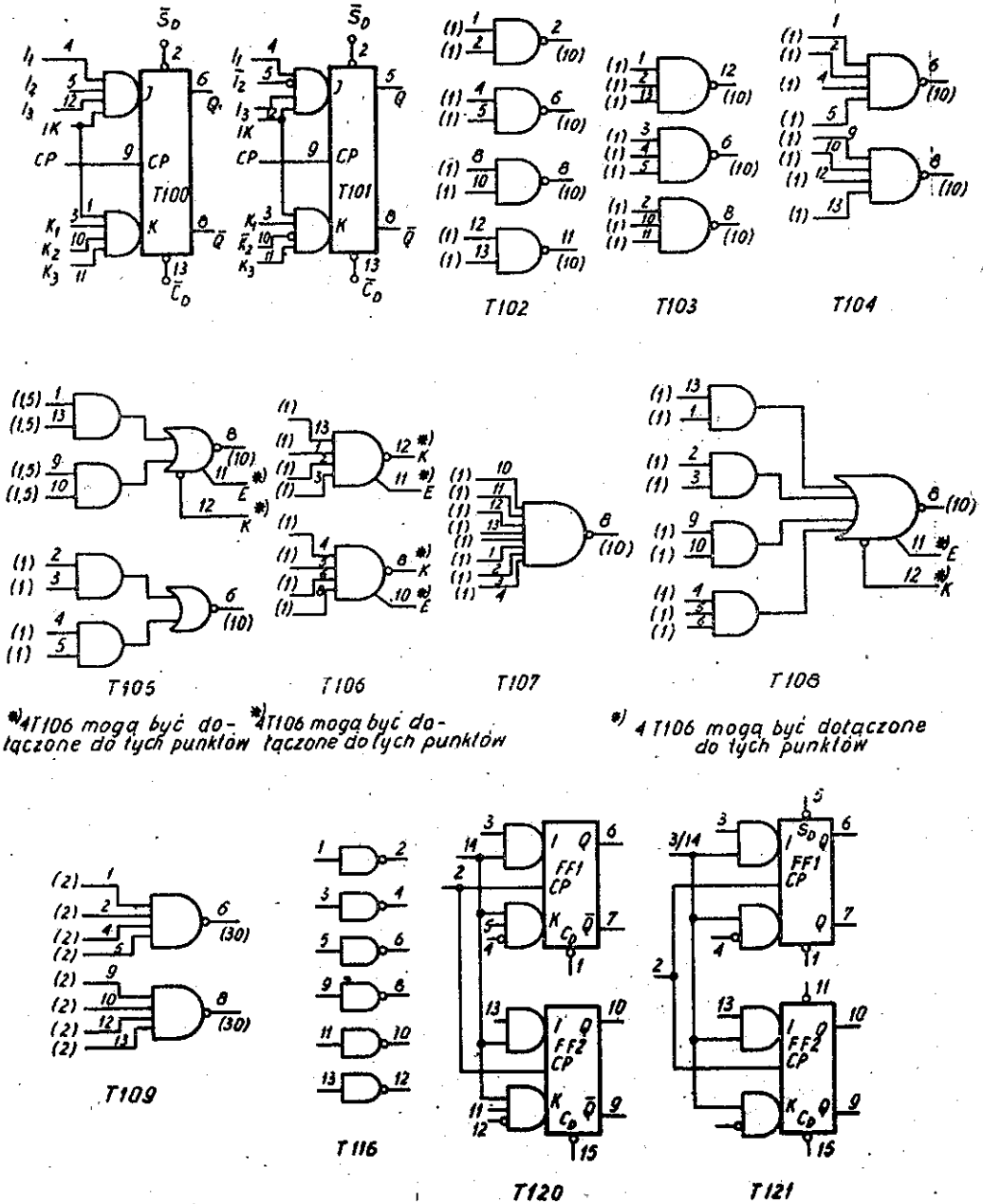


Рис. 3.13. Схематы бремек фирмы Motorola: а/ бремка MIVL I, б/ бремка MIVL II



\*T106 mogą być dołączone do tych punktów

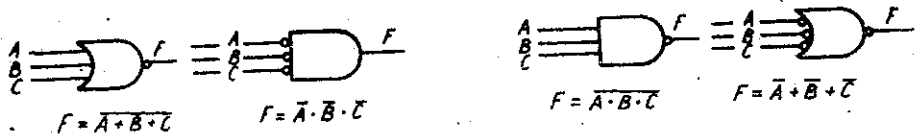
\*T106 mogą być dołączone do tych punktów

\*4 T106 mogą być dołączone do tych punktów

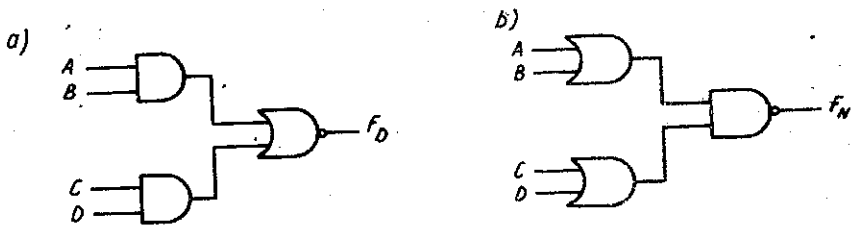
Dla wszystkich układów, za wyjątkiem T120 i T121;  $U_K$  - końcówka, masa - końcówka

Rys. 3.16. Moduły serii T 100 firmy SGS

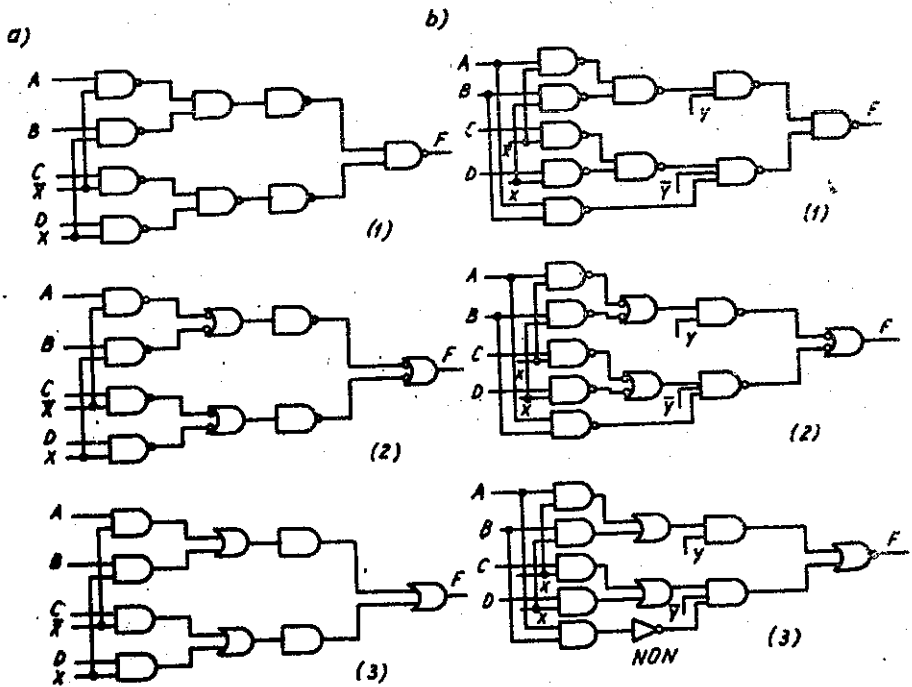




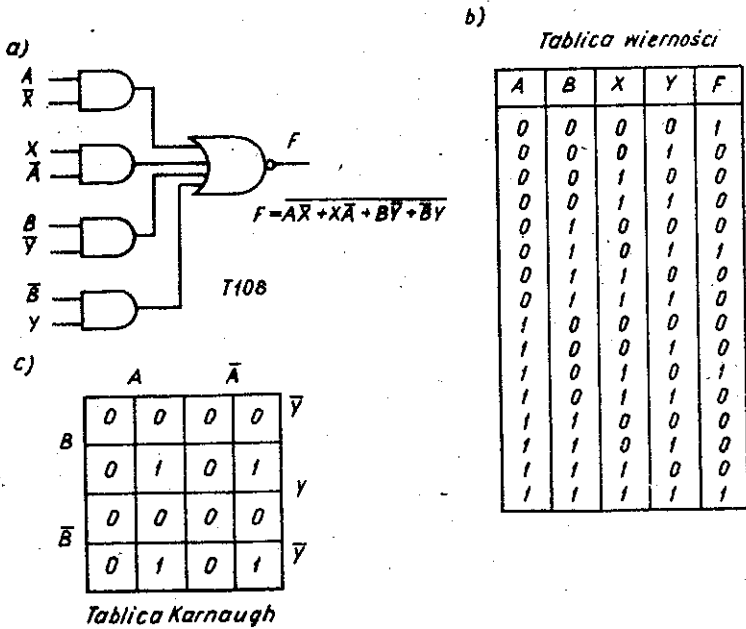
Rys. 3.17. Symbole równoważnych układów logicznych



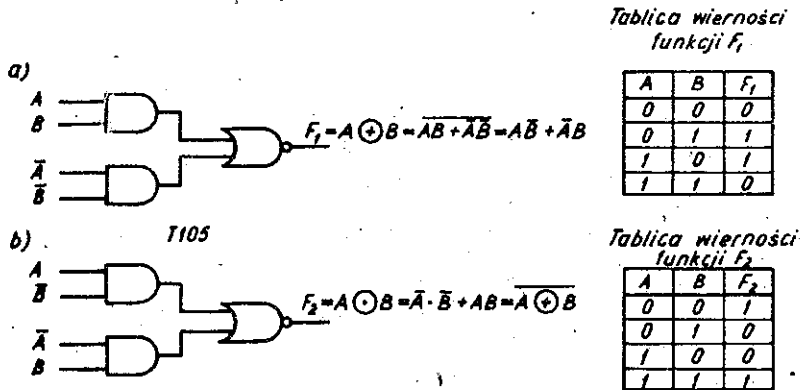
Rys. 3.18. Schemat układu logicznego: a/ w konwencji dodatniej, b/ w konwencji ujemnej



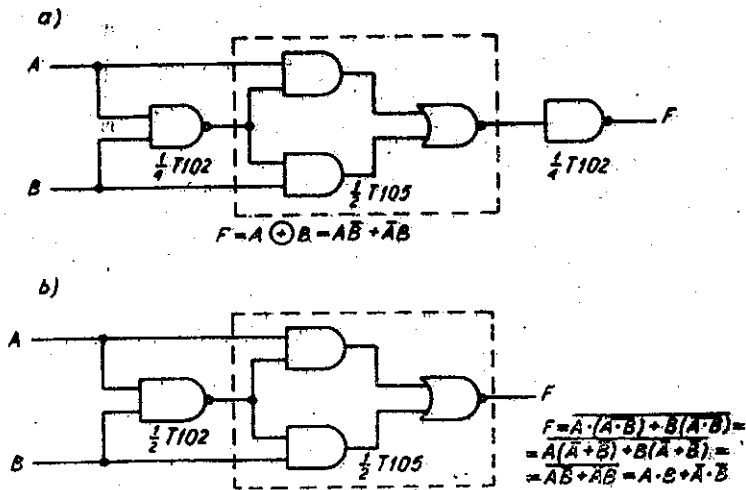
Rys. 3.19. Przykład przekształcenia układu z bramkami NAND na układ z zastosowaniem brenek OR i AND



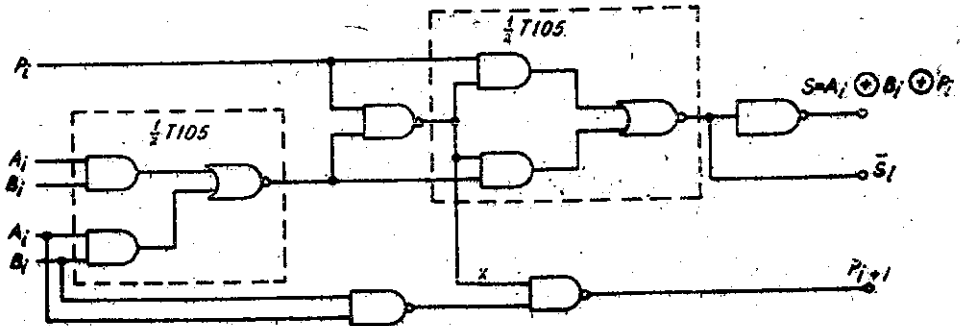
Rys. 3.20.a. Schemat układu dwubitowego komparatora, zrealizowanego przy zastosowaniu modułu T 108, b/ tablica wierności, c/ tablica Karnanga



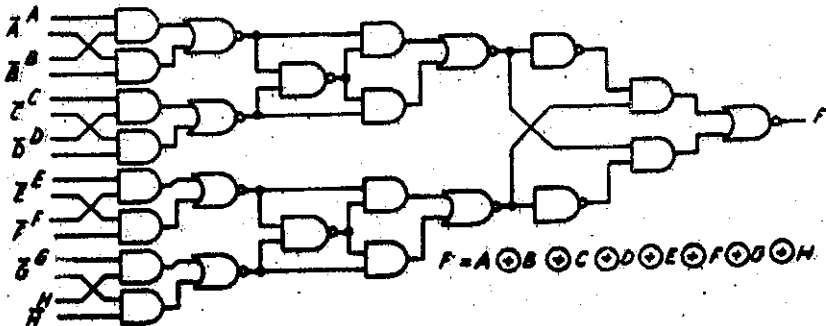
Rys. 3.21.a. Schemat układu realizującego funkcje różnicy symetrycznej oraz jej tablica wierności, b/ schemat układu realizującego funkcje komparatora albo równoważności oraz jej tablica wierności



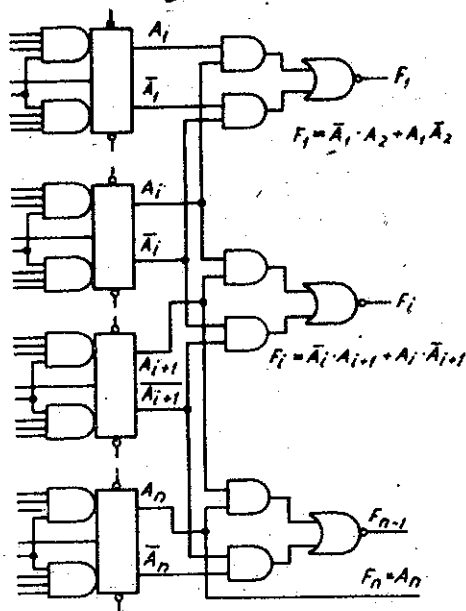
Rys. 3.22. Schematy układów pozwalających na realizację funkcji różnicy symetrycznej oraz równoważności, w przypadku gdy nie dysponuje się negacjami sygnałów wejściowych A i B



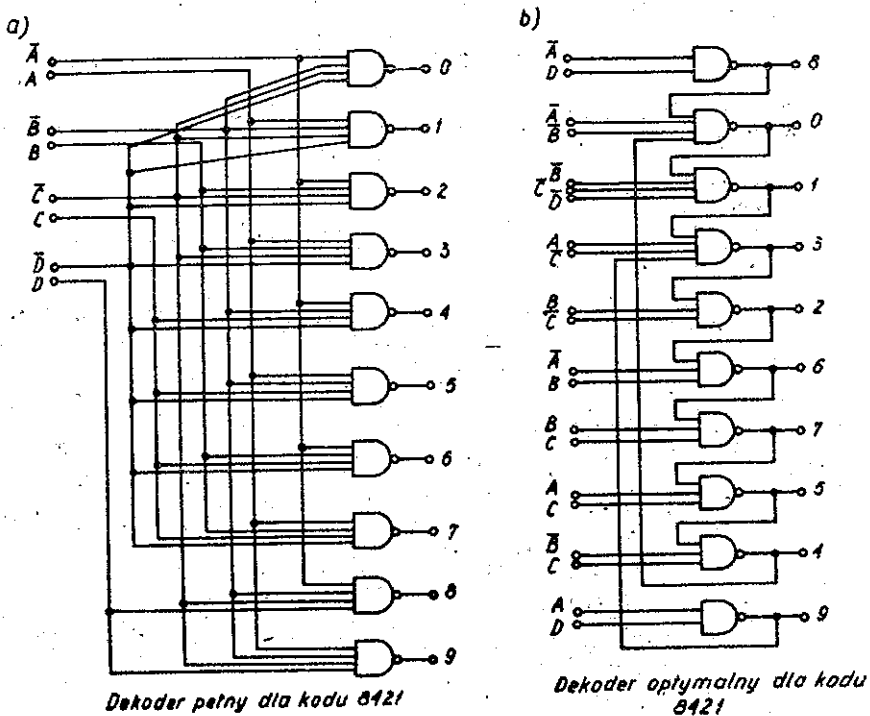
Rys. 3.23. Pełny sumator jednobitowy, zrealizowany przy zastosowaniu modułów T 105 i T 102



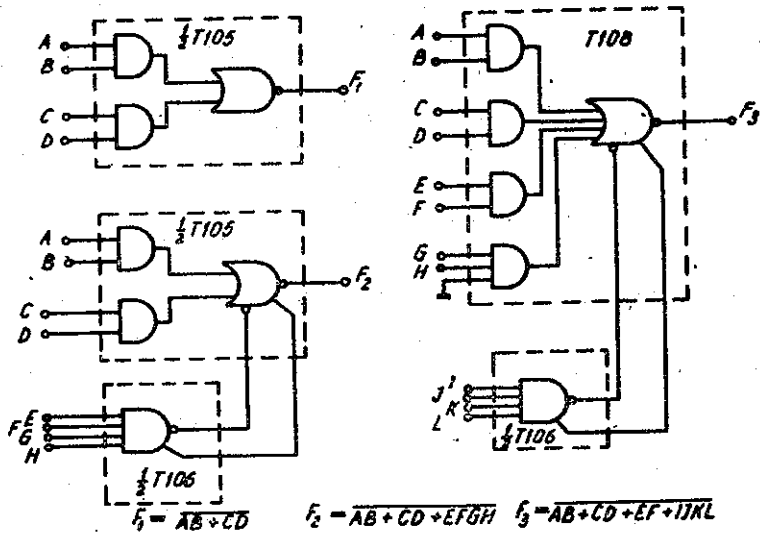
Rys. 3.24. Schemat układu generatora parzystości



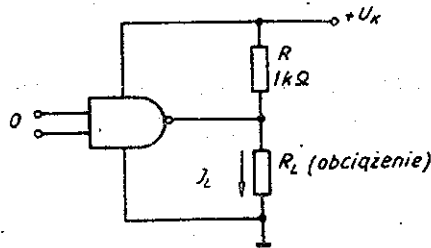
Rys. 3.25. Schemat układu konwertera, służącego do zamiany naturalnego zapisu dwójkowego na zapis Greya



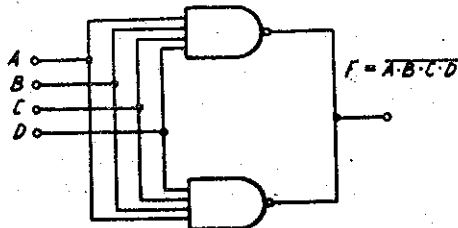
Rys. 3.26. Układy konwerterów: a/ dekodek pełny dla kodu 8421, b/ dekodek optymalny dla kodu 8421



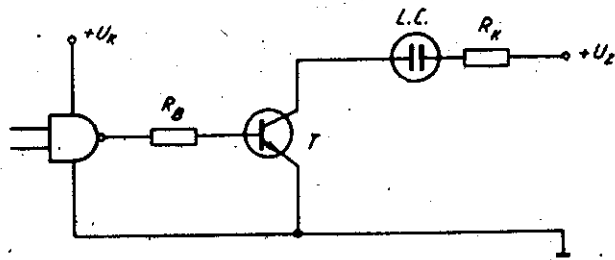
Rys. 3.27. Sposób łączenia modułów T 105 i T 108 z modułami T 106



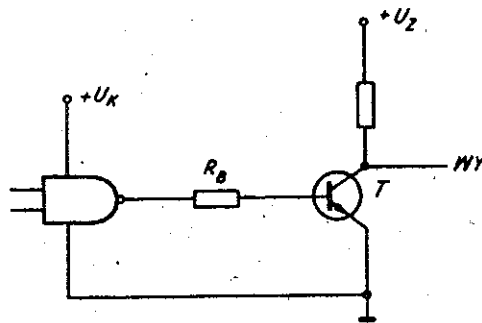
Rys. 3.28. Sposób połączenia, pozwalający na zwiększenie obciążalności wyjściowej bramki, przy "1" na wyjściu bramki



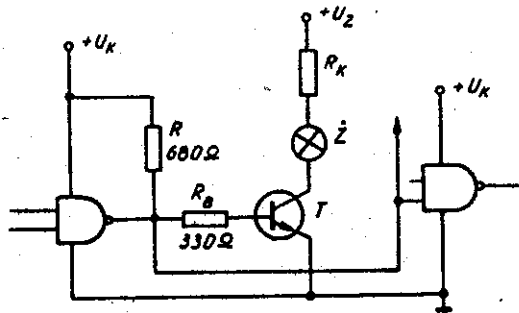
Rys. 3.29. Równoległe połączenie bramek NAND dla uzyskania wyższej obciążalności wyjściowej



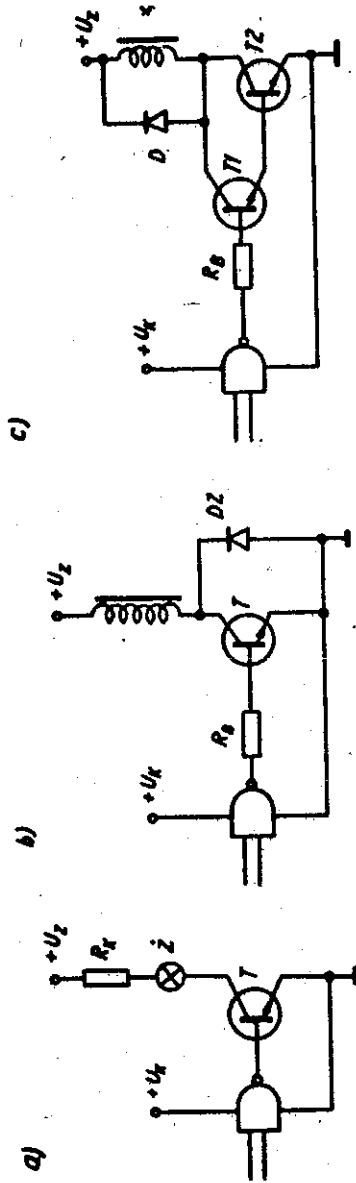
Rys. 3.30. Sterowanie lampki cyfrowej typową bramką rodziny TTL



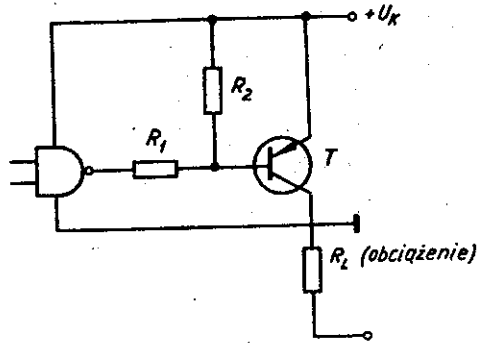
Rys. 3.32. Sposób połączeń pozwalający na przejście na wyższą wartość napięcia w stanie "1"



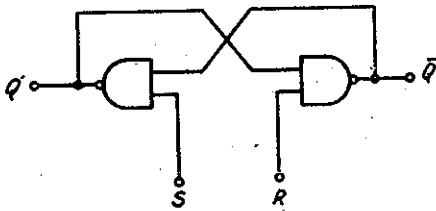
Rys. 3.33. Przykład sterowania dołączonego tranzystora T oraz dalszych układów logicznych typową bramką rodziny TTL



Rys. 3.31a. Przykłady sterowania żarówki, b/c/ przykłady sterowania przekaznikami za pomocą typowej bramki rodziny TTL



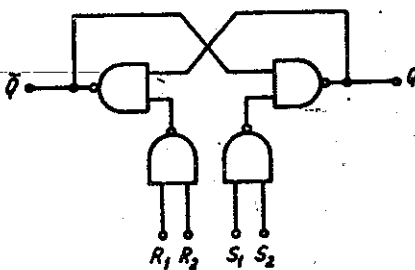
Rys. 3.34. Przykład sterowania tranzystora typu p-n-p typową bramką rodziny TTL



Tablica wierności

$S^n$	$R^n$	$Q^{n+1}$
0	0	nieokr.
0	1	1
1	0	0
1	1	$Q^n$

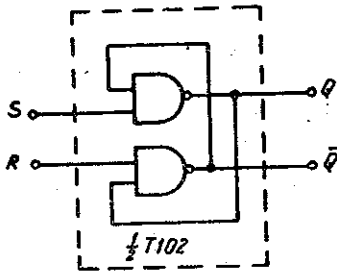
Rys. 3.35. Schemat układu inwersyjnego przerzutnika bistabilnego R-S



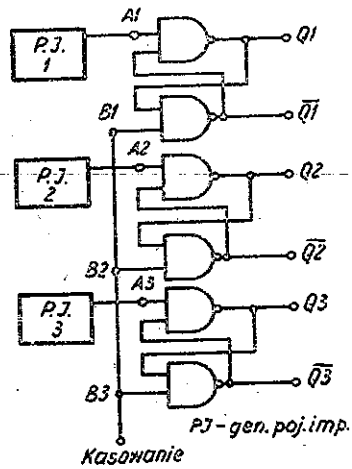
$S^n = S_1^n S_2^n$	$R^n = R_1^n R_2^n$	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	nieokr.

Rys. 3.36. Przerzutnik bistabilny R-S

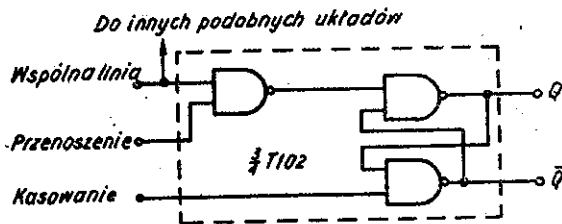




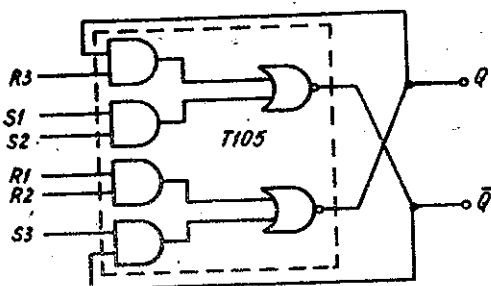
Rys. 3.37. Przerzutnik R-S, zbudowany z półowki modułu T 102



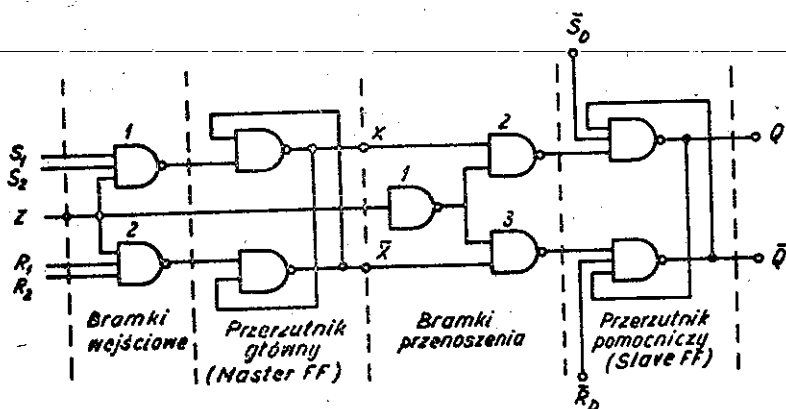
Rys. 3.38. Prosty rejestr równoległy, tzw. "chwytacz zer"



Rys. 3.39. Przykład zastosowania bramek do układów pamięciowych



Rys. 3.40. Przykład zastosowania modułu T 105 jako układu pamięciowego



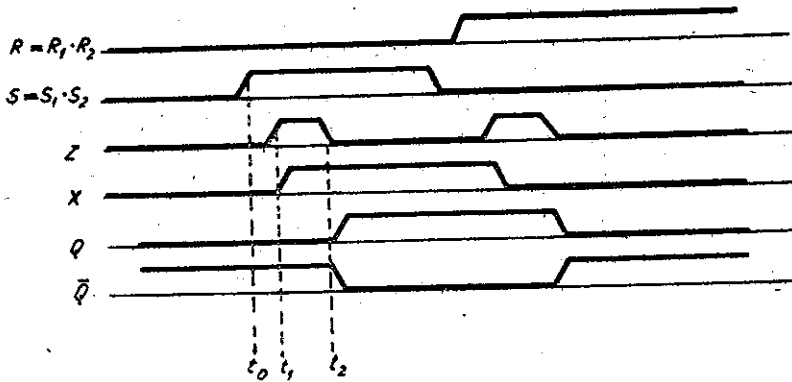
Tablica wierności 1

$S^n = S_1^n S_2^n$	$R^n = R_1^n R_2^n$	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	nieokresl.

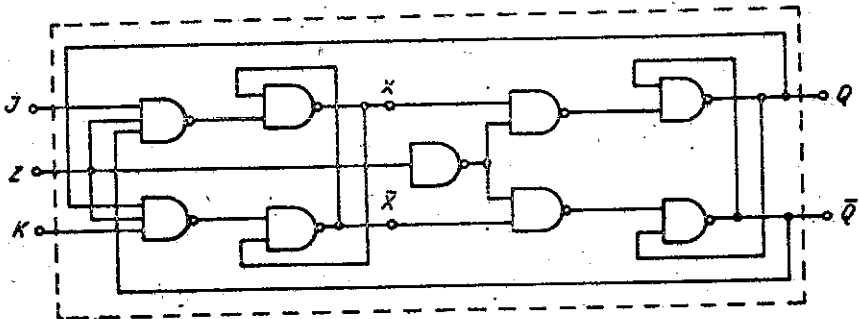
Tablica wierności 2

$\bar{S}_D$	$\bar{R}_D$	Q	$\bar{Q}$
1	1	Q	$\bar{Q}$
0	1	1	0
1	0	0	1
0	0	1	1

Rys. 3.41. Przerzutnik R-S Master-Slave



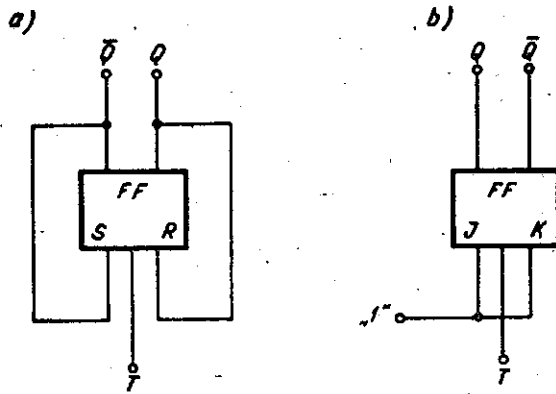
Rys. 3.42. Przebiegi czasowe w różnych punktach układu przerzutnika R-S Master-Slave



Tablica wierności

$J^n$	$K^n$	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	$\bar{Q}^n$

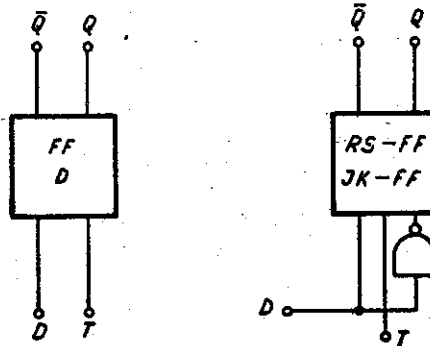
Rys. 3.43. Przerzutnik J-K Master-Slave



Tablica wierności

$T^n$	$Q^{n+1}$
0	$Q^n$
1	$\bar{Q}^n$

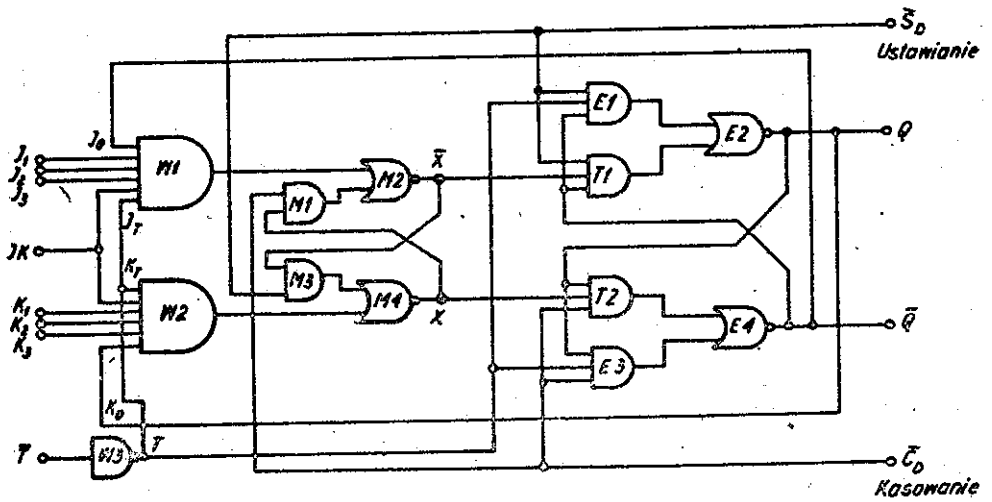
Rys. 3.44. Przerzutniki wpp



Tablica wierności

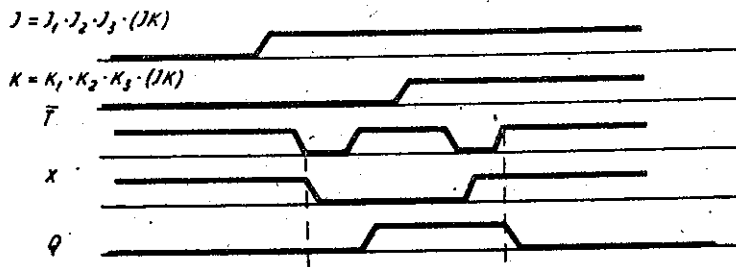
$D^n$	$Q^{n+1}$
1	1
0	0

Rys. 3.45. Przerzutnik D

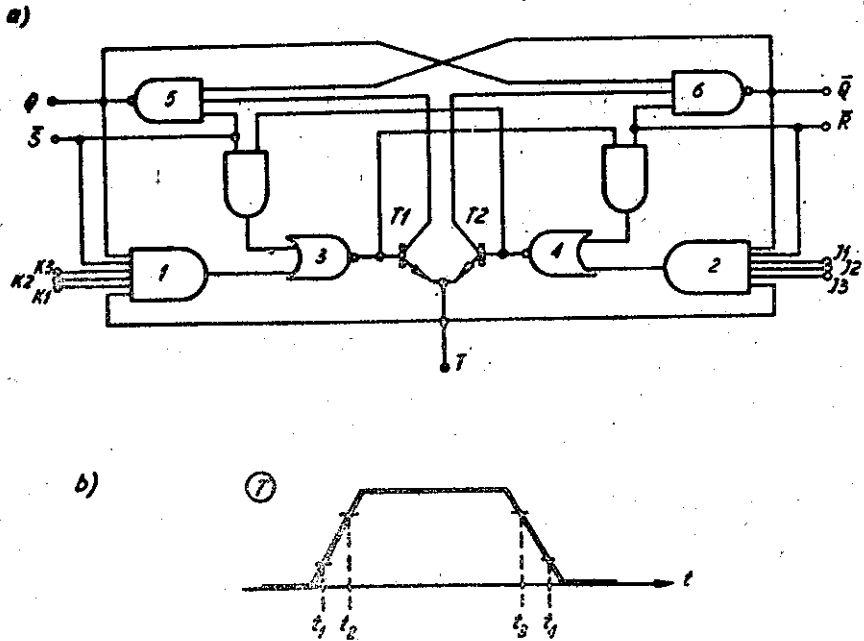


$\bar{S}_D$	$\bar{C}_D$	Q	$\bar{Q}$
1	1	Bez zmiany	Bez zmiany
1	0	0	1
0	1	1	0
0	0	1	1

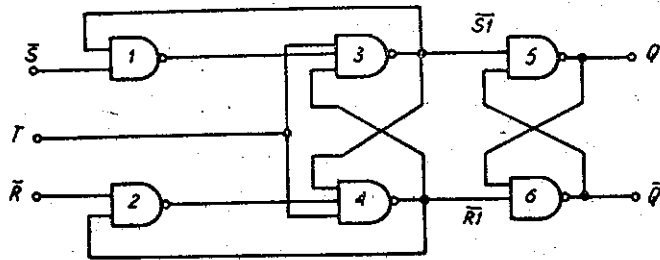
Rys. 3.46. Schemat układu przerzutnika J-K Master-Slave - T 100



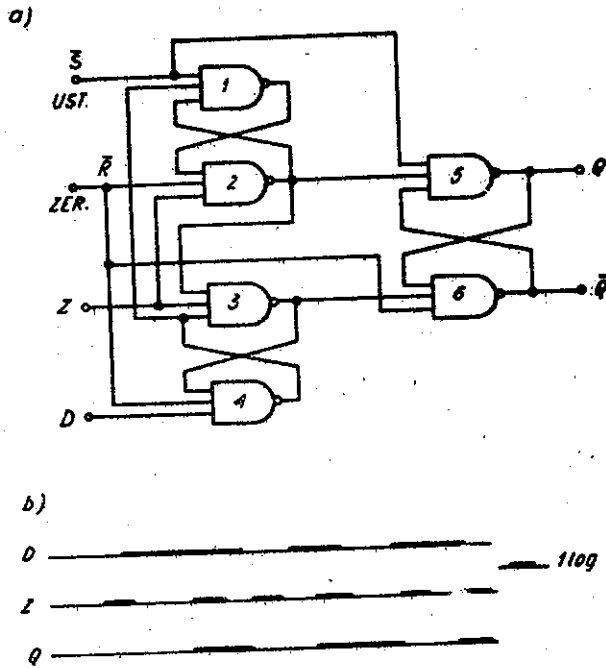
Rys. 3.47. Przebiegi czasowe występujące w przerzutniku T 100



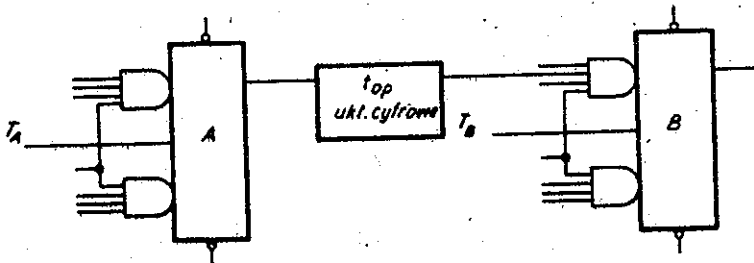
Rys. 3.48. Przerzutnik J-K Master-Slave SF.C 472E firmy Sencosent:  
a/ schemat układu, b/ przebieg napięcia na wejściu T



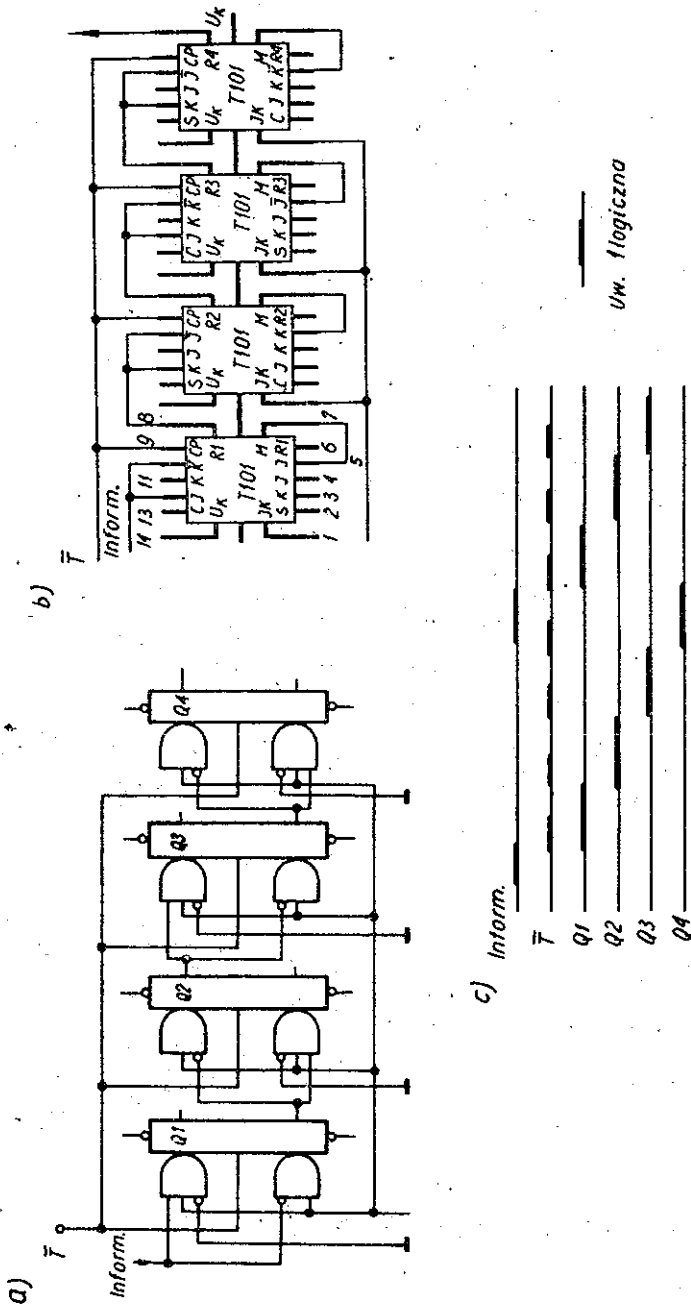
Rys. 3.49. Schemat układu przerzutnika R-S, wyzwalanego zboczem impulsu taktującego



Rys. 3.50. Przerzutnik D wyzwalany zboczem impulsu typu SN 5474, SW 7474 f. Texas Instruments albo typu SF.C 474E firmy Sescosem:  
a/ schemat układu, b/ wykres czasowy

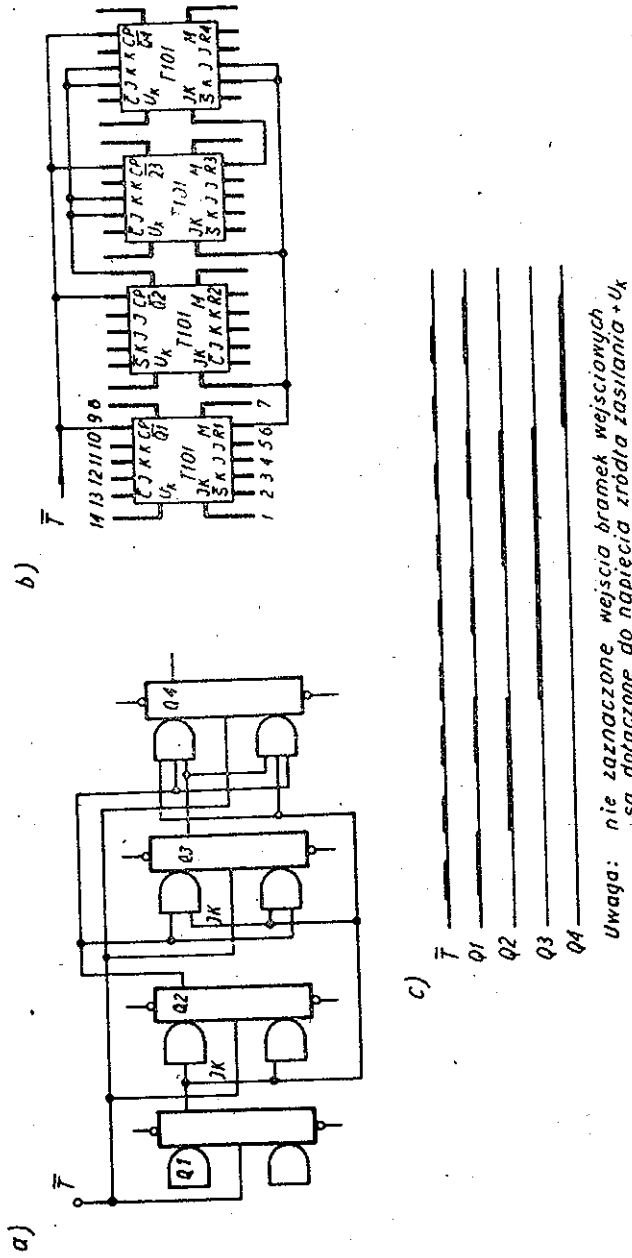


Rys. 3.51. Współpraca układów przerzutnikowych A i B

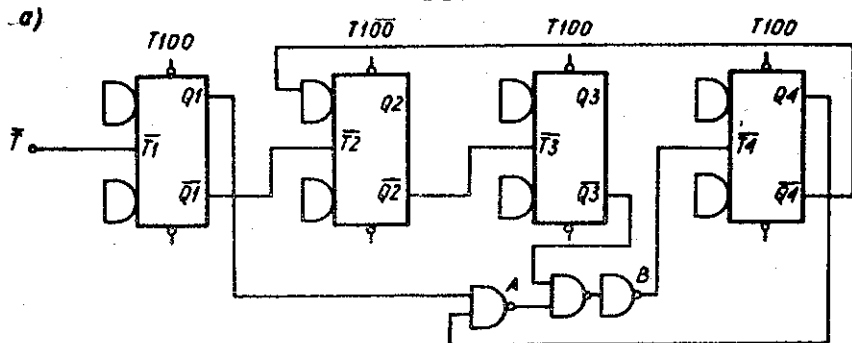


Rys. 3.52. Czterostopniowy rejestr przesuwający: a/ schemat układu, b/ schemat połączeń, c/ wykres czasowy

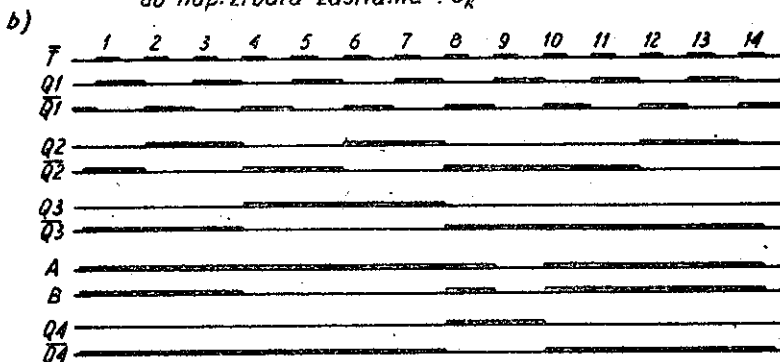




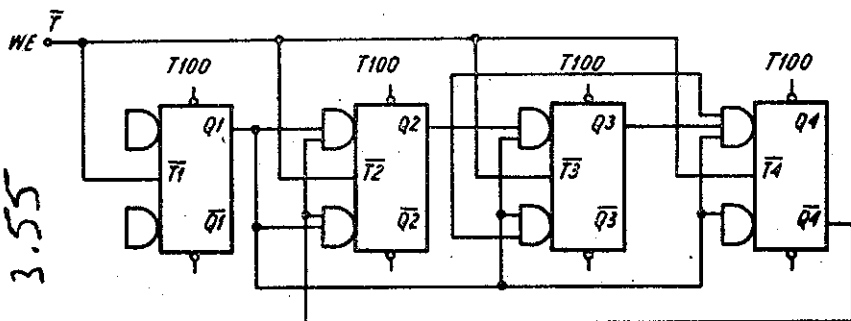
Rys. 5. Synchroniczny licznik pracujący w kodzie dwójkowym /1-2-4-8/:  
 a/ schemat układu, b/ schemat połączeń, c/ wykres czasowy



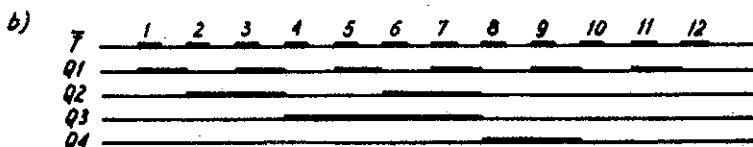
Uwaga: niezaznaczone wejścia bramek wejściowych są podłączone do nap. źródła zasilania  $+U_K$



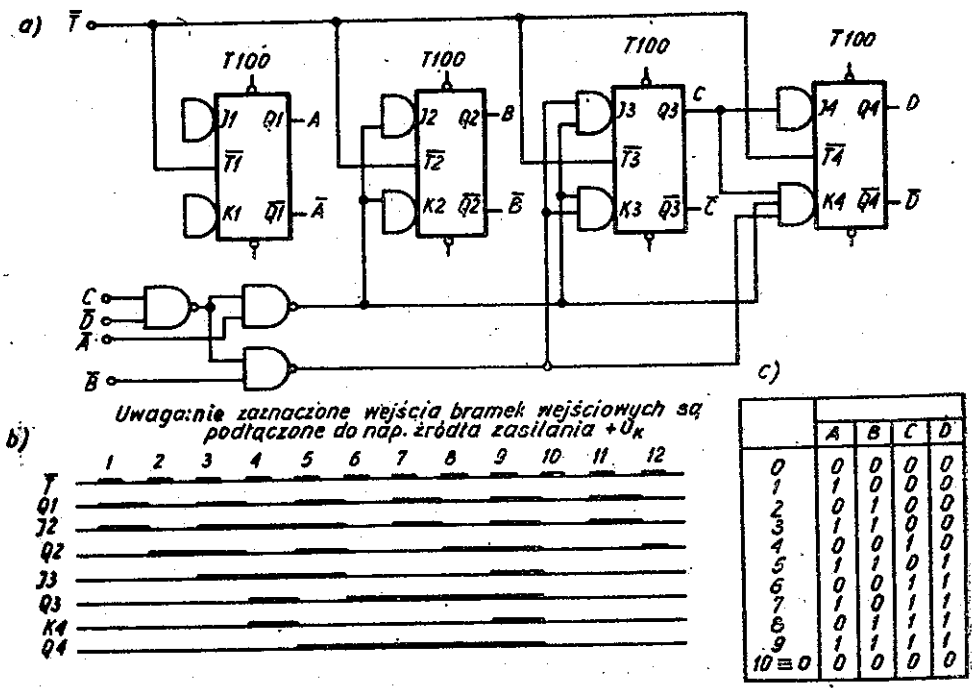
Rys. 3.54. Dekada asynchroniczna pracująca w kodzie 1-2-4-8:  
a/ schemat układu, b/ wykres czasowy



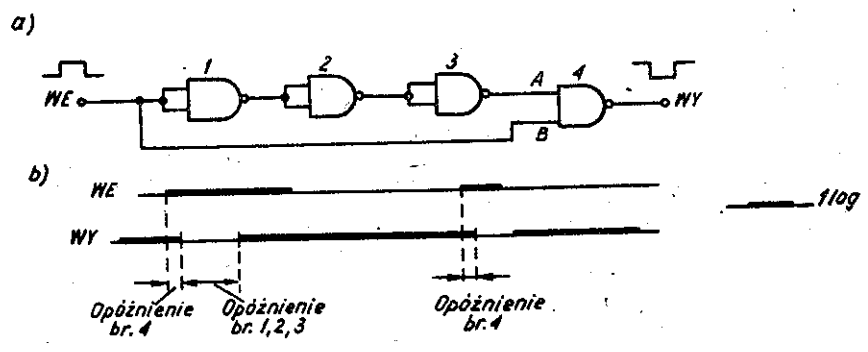
Uwaga: nie zaznaczone wejścia bramek wejściowych są podłączone do nap. źródła zasilania  $+U_K$



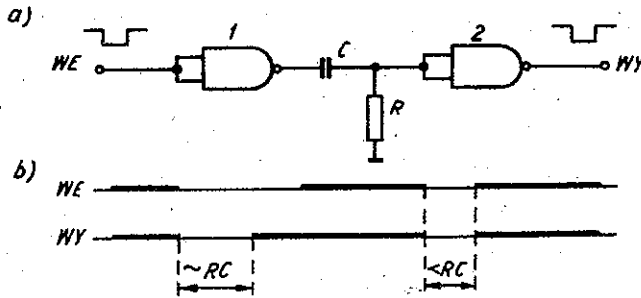
Rys. 3.55. Dekada synchroniczna pracująca w kodzie 1-2-4-8:  
a/ schemat układu, b/ wykres czasowy



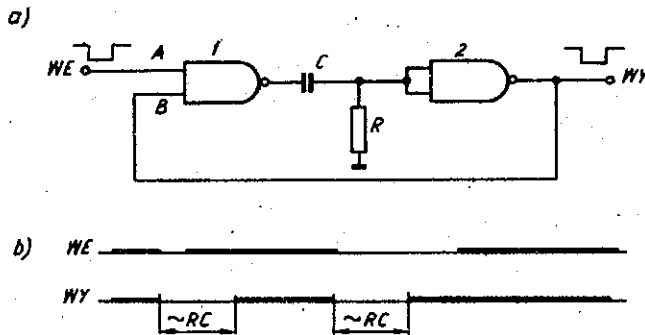
Rys. 3.56. Dekada synchroniczna pracująca w kodzie Aikena 1-2-4-2:  
a/ schemat układu, b/ wykres czasowy



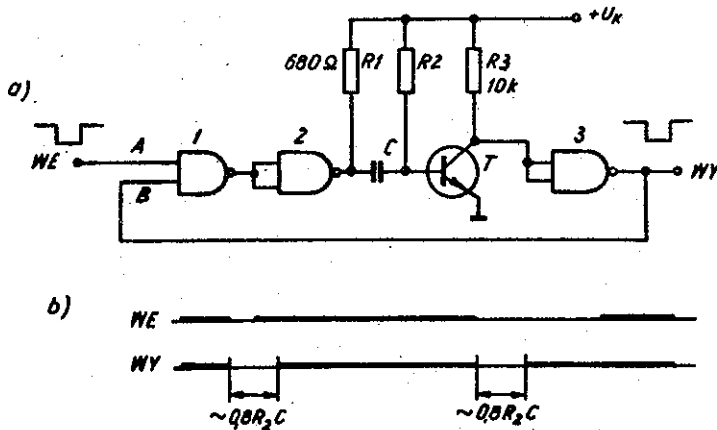
Rys. 3.57. Przerzutnik monostabilny wykorzystujący tylko bramki:  
a/ schemat układu, b/ wykres czasowy



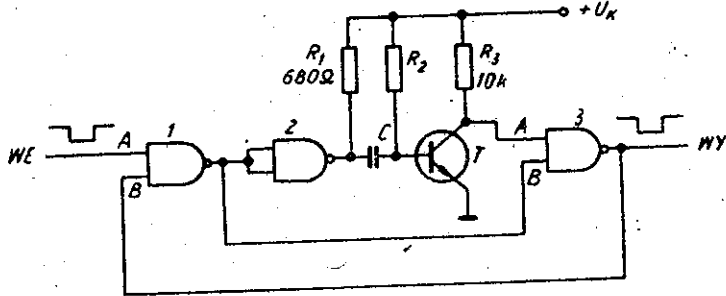
Rys. 3.58. Przerzutnik monostabilny z zastosowaniem członu RC:  
a/ schemat układu, b/ wykres czasowy



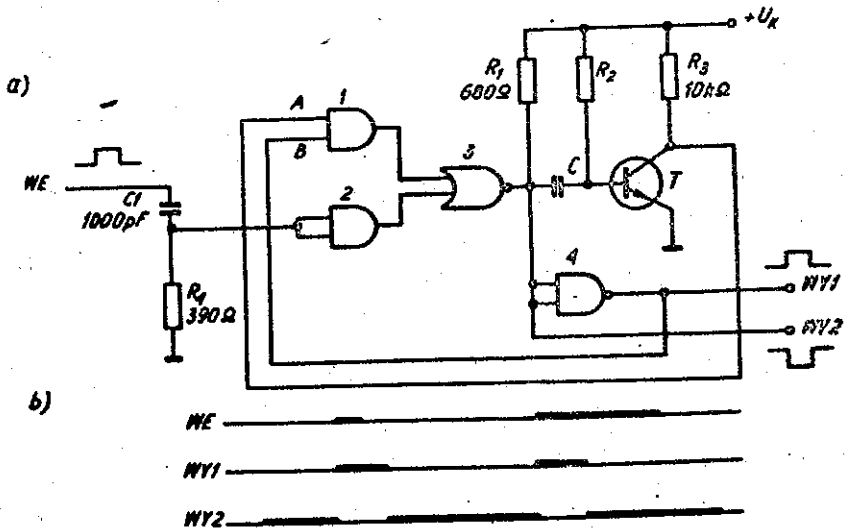
Rys. 3.59. Przerzutnik monostabilny z zastosowaniem członu RC:  
a/ schemat układu, b/ wykres czasowy



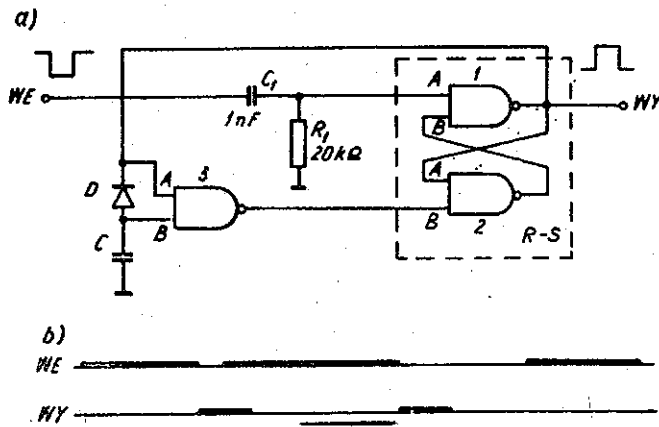
Rys. 3.60. Przerzutnik monostabilny z zastosowaniem tranzystora  
i członu RC: a/ schemat układu, b/ wykres czasowy



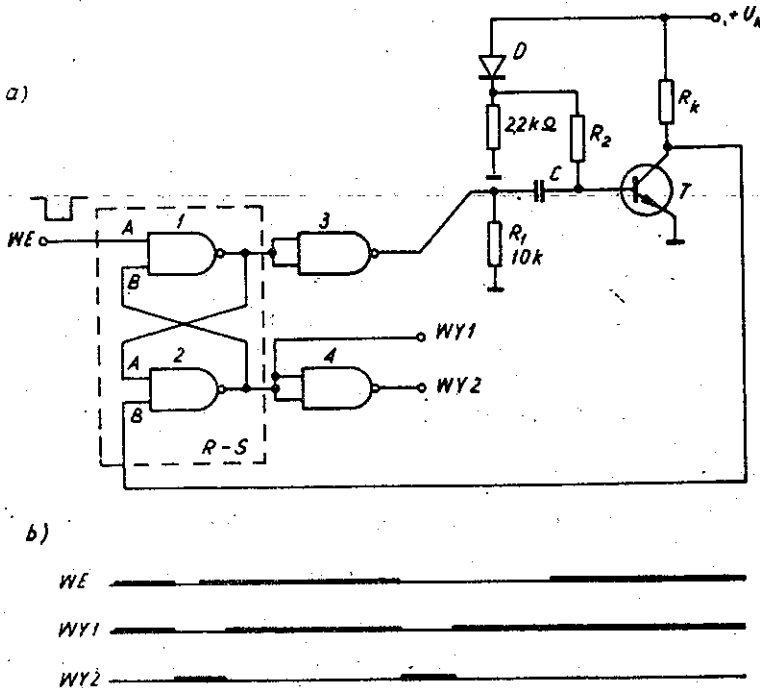
Rys. 3.61. Przerzutnik monostabilny z zastosowaniem tranzystora i członu RC - ze sprzężeniem eliminującym zakłócenia: a/ schemat układu, b/ wykres czasowy



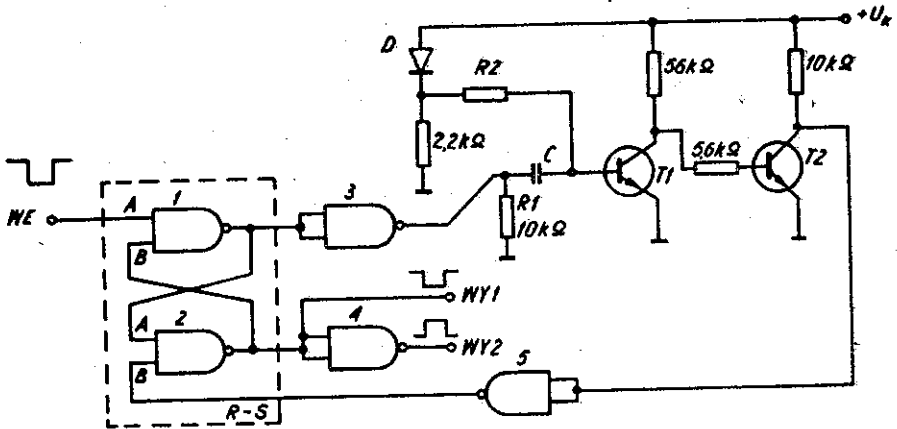
Rys. 3.62. Przerzutnik monostabilny z zastosowaniem bramek AND-NOR: a/ schemat układu, b/ wykres czasowy



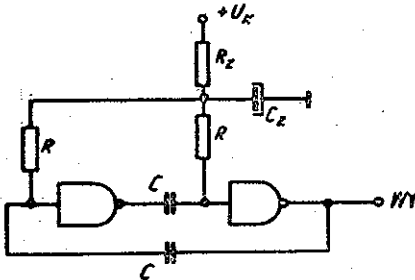
Rys. 3.63. Przerzutnik monostabilny z zastosowaniem przerzutnika R-S:  
a/ schemat układu, b/ wykres czasowy



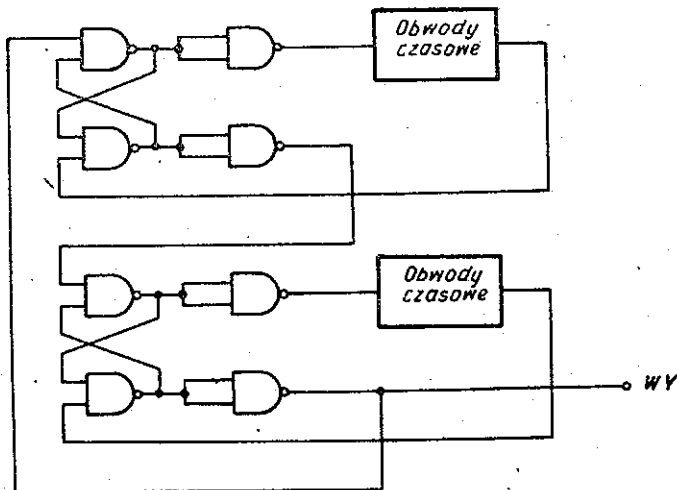
Rys. 3.64. Przerzutnik monostabilny z zastosowaniem przerzutnika R-S  
i członu RC z tranzystorem: a/ schemat układu, b/ wykres czasowy



Rys. 3.65. Modyfikacja przerzutnika monostabilnego z rys. 3.64, pozwalająca na uzyskanie większych czasów trwania impulsów wyjściowych



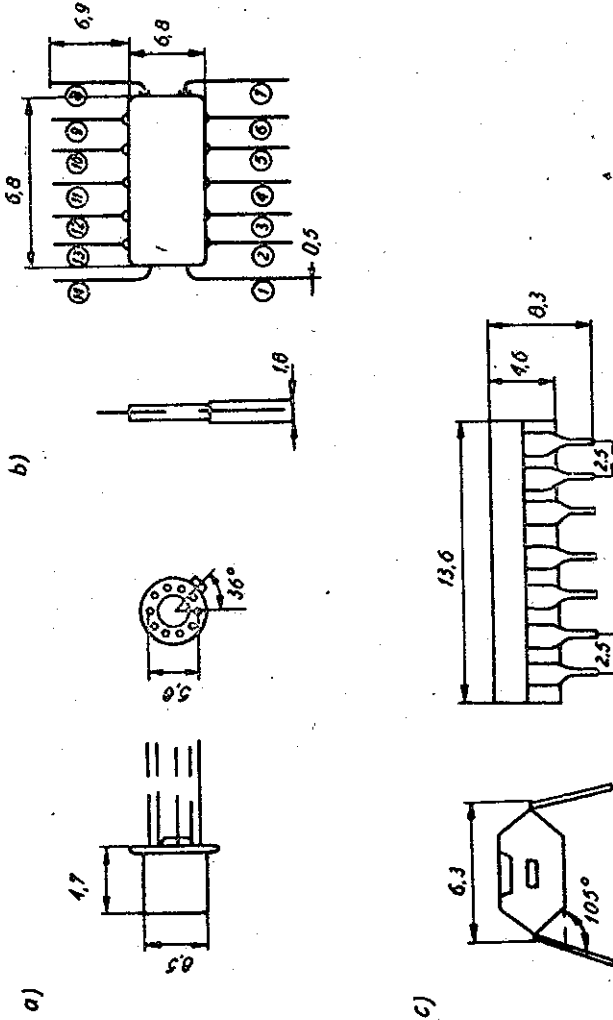
Rys. 3.66. Przerzutnik astabilny, składający się z bramek i elementów dyskretnych RC



Rys. 3.67. Przerzutnik astabilny, składający się z dwu przerzutników monostabilnych z rys. 3.64 /lub rys. 3.65/



Rys. 3.68. Schemat blokowy generatora impulsów prostokątnych



Rys. 3.69. Obudowy modułów scalonych: a/ obudowa typu TO-5, b/ obudowa płaska, c/ obudowa typu DIP





